

INSTITUTO DE ENGENHARIA NUCLEAR

PÂMELA IARA NOLASCO TEIXEIRA

MODELAGEM DE FUNÇÕES CRÍTICAS DE REATORES NUCLEARES  
UTILIZANDO FILD PROGRAMMABLE GATE ARRAY

Rio de Janeiro  
2016

INSTITUTO DE ENGENHARIA NUCLEAR

PÂMELA IARA NOLASCO TEIXEIRA

**MODELAGEM DE FUNÇÕES CRÍTICAS DE REATORES  
NUCLEARES UTILIZANDO FIELD PROGRAMMABLE GATE ARRAY**

Dissertação apresentada ao Programa de Pós-Graduação em Ciência e Tecnologia Nucleares do Instituto de Engenharia Nuclear da Comissão Nacional de Energia Nuclear como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências em Engenharia Nuclear – Acadêmico em Engenharia de Reatores.

Orientadores: Paulo Victor Rodrigues de Carvalho  
Mauro Vitor de Oliveira

Rio de Janeiro  
2016

TEIX Teixeira, Pâmela Iara Nolasco

Modelagem de funções críticas de reatores nucleares utilizando Field Programmable Gate Array/Pâmela Iara Nolasco Teixeira. – Rio de Janeiro: CNEN/IEN, 2016

x, 119f. : il.; 31 cm

Orientadores: Paulo Victor Rodrigues de Carvalho

Mauro Vitor de Oliveira

Dissertação (mestrado em Ciência e Tecnologia Nucleares Métodos Computacionais Aplicados) – Instituto de Engenharia Nuclear, PPGIEN, 2016.

1. Segurança. 2. Função Crítica de segurança. 3. Proteção.

## AGRADECIMENTOS

Agradeço primeiramente a Olorum (Deus), aos sagrados orixás que me deram caminho, força e perseverança para que eu pudesse vencer mais uma etapa em minha evolução.

Agradeço a bolsa cedida pela CENEN.

Aos meus pais Maria Auxiliadora e Adilson, minha irmã Ana Carolina, por estarem sempre ao meu lado em todos os momentos.

Ao meu marido Eduardo e minha filha Bruna, pela compreensão e amor nos dias difíceis.

Aos meus familiares e amigos que sempre me apoiaram e incentivaram ao longo do trabalho.

Ao meu amigo irmão Roque Hudson, companheiro de todas as horas.

Ao amigo Rogério Clynton Ribeiro, que muito me auxiliou nos momentos decisivos.

Ao Dr. Paulo Victor Rodrigues de Carvalho pela orientação.

Ao Dr. Mauro Vitor de Oliveira pela coorientação.

Ao M. Sc Marcos Santana Faria.

Aos amigos que o mestrado me trouxe.

“Se não puder voar, corra; se não puder correr, ande. Se não puder andar, rasteje, mas continue em frente de qualquer jeito.”

Martin Luther King

## RESUMO

O presente trabalho propõe o desenvolvimento de um método para modelagem de funções críticas de segurança de um reator nuclear utilizando FPGA e implementadas por VHDL, que é uma forma de se descrever, através de um programa, o comportamento de um circuito ou componente digital. Foram implementadas duas funções críticas de segurança, FCS de Resfriamento do Núcleo, responsável por resfriar o núcleo do reator nas paradas da usina e também na hipótese de acidentes com perda de refrigerante e FCS Transferência de Calor, responsável por refrigerar o núcleo do reator na hipótese de um acidente com perda de refrigerante. Nesta Dissertação foi escolhido a utilização do FPGA, pois, devido aos efeitos do envelhecimento, problemas de obsolescência, degradação ambiental e falhas mecânicas, as usinas nucleares precisam substituir seus sistemas mais antigos por sistemas baseados em tecnologias digitais. Os resultados obtidos utilizando um sistema descrito em linguagem de hardware pode ser implementado em um dispositivo programável, tendo a grande vantagem da alteração do código a qualquer momento.

Palavras-chave: Segurança; Função Crítica de Segurança; Proteção

## **ABSTRACT**

This paper proposes the development of a method using FPGA for critical security functions of a nuclear reactor. It was implemented two critical safety functions in VHDL, which is a way to describe, through a program, the behavior of a circuit or digital component. Which is one way to describe, through a program, the behavior of a digital circuit or component. They were implemented two critical security functions, FCS Core Cooling, responsible for cooling the reactor core in the charts of the plant and also in the event of accidents involving loss of coolant and FCS Heat Transfer, responsible for cooling the reactor core in the event an accident with loss of coolant. In this Dissertation was the use of FPGA chosen because, due to the effects of aging, obsolescence issues, environmental degradation and mechanical failures, nuclear power plants need to replace their older systems by systems based on results digitais. The technologies obtained using a system described hardware language can be implemented in a programmable device, having the advantage of changing the code at any time

**Keywords:**Safety;Critical Safety Functions; Protection

## LISTA DE FIGURAS

Figura 1– Representação da usina angra I .....	23
Figura 2– Representação da vareta e elemento combustível .....	28
Figura 3– Representação do elemento combustível .....	28
Figura 4– Representação da contenção .....	29
Figura 5– Representação do edifício do reator .....	30
Figura 6– Interação do sistema de SPDS e FCS e operador .....	37
Figura 7– Árvore de estados genérica .....	39
Figura 8 – Arquitetura genérica de uma FPGA .....	45
Figura 9– Configuração básica de um CLB .....	46
Figura 10– Diagrama de bloco de um módulo lógico. ....	47
Figura 11– Modelo de um núcleo rígido embutido em uma FPGA.....	48
Figura 12– Arquitetura básica de roteamento de um FPGA .....	51
Figura 13– Mercado de FPGA no ano de 2005 .....	52
Figura 14 – Uma tela de operação do simulador do LABIHS .....	60
Figura 15– Visão geral da sala de controle do simulador LABIHS.....	61
Figura 16– Tela de operação principal do simulador LABIHS .....	62
Figura 17– Tela principal das FCS do simulador LABIHS .....	63
Figura 18 – Tela da FCS subcriticalidade do LABIHS.....	63
Figura 19– Metodologia de Projeto de SD com o Quartus <sup>(R)</sup> II. ....	64
Figura 20– Numeração dos blocos da FCS Resfriamento do Núcleo.....	68



Figura 21– Esquemático da FCS referente ao Resfriamento do núcleo.....	71
Figura 22– Bloco 1 .....	74
Figura 23– Bloco 2 .....	75
Figura 24 – Bloco 3 .....	76
Figura 25– Bloco 4 .....	77
Figura 26– Bloco 5 .....	78
Figura 27 – Bloco 6 .....	79
Figura 28– Bloco 7 .....	80
Figura 29– Agrupamento das Entradas .....	81
Figura 30 – Agrupamento dos Comparadores do bloco 1 .....	82
Figura 31– Simulação do resultado RED_FRHS-1 .....	82
Figura 32 – Simulação do resultado GREEN_SAT .....	83
Figura 33 – Simulação do resultado YELLOW_FRCC-3 .....	84
Figura 34– Simulação do resultado YELLOW_FRCC-3 .....	84
Figura 35 – Simulação do resultado YELLOW_FRCC-3 .....	85
Figura 36– Simulação do resultado YELLOW_FRCC-3 .....	85
Figura 37– Simulação do resultado PURPLE_FRCC-3 .....	86
Figura 38– Simulação do resultado PURPLE_FRCC-3 .....	87
Figura 39– Simulação do resultado RED_FRCC-1 .....	87
Figura 40– Simulação do resultado PURPLE_FRCC-2 .....	88
Figura 41– Simulação do resultado PURPLE_FRCC-2 .....	88
Figura 42– VHDL da FCS Resfriamento do Núcleo .....	89

Figura 43– Numeração dos blocos da FCS Transferência de calor.....	90
Figura 44– Esquemático da FCS referente à Transferência de calor .....	93
Figura 45 – Esquemático Bloco 1 .....	95
Figura 46– Esquemático Bloco2.....	96
Figura 47– Esquemático Bloco 3.....	97
Figura 48– Esquemático Bloco 4.....	98
Figura 49– Esquemático Bloco5.....	99
Figura 50– Esquemático Bloco 6.....	100
Figura 51– Agrupamento das Entradas do comparador BL0101 .....	101
Figura 52– Agrupamento dos Comparadores do bloco 1.....	102
Figura 53– Simulação do resultado RED_FRHS-1.....	103
Figura 54– Simulação do resultado RED_FRHS-1.....	103
Figura 55 – Simulação do resultado RED_FRHS-1.....	104
Figura 56 – Simulação do resultado YELLOW_FRHS-2.....	104
Figura 57– Simulação do resultado YELLOW_FRHS-2.....	105
Figura 58– Simulação do resultado YELLOW_FRHS-2.....	106
Figura 59– Simulação do resultado YELLOW_FRHS-2.....	106
Figura 60– Simulação do resultado YELLOW_FRHS-3.....	107
Figura 61– Simulação do resultado YELLOW_FRHS-3.....	108
Figura 62– Simulação do resultado YELLOW_FRHS-4.....	109
Figura 63 – Simulação do resultado YELLOW_FRHS-4.....	110
Figura 64 – Simulação do resultado YELLOW_FRHS-2.....	111

Figura 65– Simulação do resultado YELLOW_FRHS-5.....	112
Figura 66– Simulação do resultado GREEN_SAT.....	113
Figura 67– VHDL da FCS Transferência de Calor.....	114

## LISTA DE ABREVIATURAS

AHDL	(Altera Hardware Description Language)
ASIC	( <i>Application-Specific Integrated Circuit</i> )
BC	<i>Barra de Controle</i>
CLB	( <i>Configurable Logic Block</i> )
CNEN	Comissão Nacional de Engenharia Nuclear
DENN	Divisão de Engenharia Nuclear
EC	Elemento Combustível
EDIF	( <i>Electronic Interchange Format</i> )
EPLD	( <i>Erasable Programmable Logic Device</i> )
EEPROM	( <i>Electrically Erasable Programmable Read Only Memory</i> )
EPROM	( <i>Erasable Programmable Read Only Memory</i> )
FCS	Funções Críticas de Segurança
FPGA	( <i>Field Programmable Gate Array</i> ).
GV	Gerador de vapor
HDL	( <i>Hardware Description Language</i> )
IAEA	( <i>International Atomic Energy Agency</i> )
ISH	Interface de Sistema-Humano
I/O	Entrada /Saída
IEN	Instituto de Engenharia Nuclear
IP	( <i>Intellectual Property</i> )

ISP	<i>(In System Programmability).</i>
KAERI	<i>(Korean Atomic Energy Research Institute)</i>
LABIHS	Laboratório de Interfaces Homem-Sistema
LUT	<i>(Look-Up Table)</i>
NRC	<i>(Nuclear Regulatory Commission)</i>
PAR	<i>(Place And Route).</i>
POE	Procedimento Operacional de Emergência
PWR	<i>(Pressurized Water Reactor)</i>
RTL	<i>(Register Transfer Level)</i>
SD	Sistema Digital
SCPS	Sistema Computacional de Parâmetros de Segurança
SFCS	Sistema de Funções Crítica de Segurança
<i>SIMP</i>	Sistema Integrado de Monitoração de Parâmetros
SM	Matriz de Ligação Configurável
SOP	<i>(Sun Of Products)</i>
SPDS	Sistema de Monitoração de Parâmetros de Segurança
SRAM	<i>(Static Random Access Memory)</i>
SSPS	Sistema de Supervisão de Parâmetros de Segurança
TCL	<i>(Tool Command Language)</i>
TMI	<i>(Tree Mile Island)</i>
Vcc	Tensão Corrente Contínua

VHDL            Linguagem de Descrição de Hardware

WOG            (*Westinghouse Owners Group* )

## SUMÁRIO

<b>CAPÍTULO1 INTRODUÇÃO</b>	18
1.1 Contextualização	18
1.2Motivação	19
1.3Objetivo	19
1.4 Organização do Trabalho	20
<b>CAPÍTULO2 FUNÇÕES CRÍTICAS DE SEGURANÇA</b>	22
2.1Descrição Geral dos Principais Componentes de uma Usina PWR e Barreira de Proteção	22
2.1.1Descrição resumida dos componentes do circuito primário	24
2.1.2Descrição resumida dos componentes do circuito secundário	25
2.1.3Descrição resumida dos componentes do circuito terciário	26
2.2 Barreiras Físicas de Proteção	27
2.3 O Acidente em Tree Mile Island	30
2.4 Sistema de Supervisão de Parâmetros de Segurança	34
2.5 Sistema de Funções Críticas de Segurança	35
2.6 Definições de Funções Críticas de Segurança	36
<b>CAPÍTULO3 FIELD PROGRAMMABLE GATE ARRAY</b>	42
3.1 Dispositivo FPGA	42
3.2 Uso de FPGA em Sistemas de Segurança Nuclear	43
3.3 As Estruturas de m FPGA	44
3.3.1Definição de blocos lógicos	45

3.3.2	Núcleo de FPGA .....	48
3.3.3	Desenvolvimento de projetos em FPGA .....	49
3.3.4	Arquitetura geral de roteamento .....	51
3.4	FPGAS Comerciais .....	52
3.5	FPGA na Indústria.....	53
3.6	Linguagem de Descrição de Hardware(VHDL) .....	53
3.6.1	Níveis de abstração e descrição .....	54
3.6.2	Componentes do VHDL .....	55
<b>CAPÍTULO 4FPGA NAS FUNÇÕES CRÍTICAS DE SEGURANÇA NO LABIHS .....</b>		<b>57</b>
4.1	Salas de Controle Digital .....	57
4.1.1	Sala de controle do simulador LABIHS .....	58
4.1.2	Interface humano – sistema das funções crítica de segurança .....	60
4.2	Simulador Quartus .....	64
<b>CAPÍTULO 5IMPLEMENTAÇÃO DAS FUNÇÕES CRÍTICAS DE SEGURANÇA USANDO FPGA.. .....</b>		<b>67</b>
5.1	Avaliação da FSC Resfriamento do Núcleo .....	67
5.1.1	Descrição do esquemático da FCS Resfriamento do Núcleo .....	72
5.1.2	Simulação FCS Resfriamento do núcleo.....	81
5.1.3	VHDL da FCS Resfriamento do núcleo.....	89
5.2	Avaliação da FSC: Transferência de Calor .....	90
5.2.1	Descrição do esquemático da FCS Resfriamento do núcleo .....	93
5.2.2	Simulação FCS Transferência de calor .....	100



5.2.3VHDL da FCS Transferência de Calor.....	114
6CONCLUSÃO .....	116
7REFERÊNCIAS BIBLIOGRÁFICAS .....	117

## 1 INTRODUÇÃO

### 1.1 CONTEXTUALIZAÇÃO

Após o acidente na unidade dois da Central Nuclear de *Three Mile Island* (TMI) em 1979, foi evidenciada a necessidade de se melhorar de modo significativo a apresentação das informações sobre os principais parâmetros operacionais responsáveis pela segurança da central.

Foi sugerida a criação de um novo sistema baseado em um conjunto de funções críticas de segurança (FCS), que monitoram o grau de ameaça às barreiras de proteção da usina (IAEA-GSR, 2009).

Segundo a International Atomic Energy Agency (IAEA-GSR, 2009), as funções críticas de segurança são definidas como as funções necessárias para prevenir acidentes ou mitigar consequências mais graves de acidentes ainda durante a operação normal, antecipando assim ocorrências e condições de acidentes.

Atualmente os sistemas de funções críticas de segurança para reatores são tão importantes que são exigências para o licenciamento e operação das centrais (U.S.-NRC, 2002).

## 1.2 MOTIVAÇÃO

Utilizando uma linguagem de descrição de circuitos possibilita várias aplicações, como no teste de circuitos e na síntese do circuito descrito. O Projeto de Programação em VHDL de Circuitos Lógicos para Implementação em FPGA está utilizando esta linguagem, pois a mesma pode suportar projetos com múltiplos níveis de hierarquias o que é muito importante para a aplicação inicial deste projeto. Os dispositivos de segurança incorporados ao projeto asseguram a possibilidade de controle de acidentes cuja ocorrência, embora extremamente improvável, é postulada como base de projeto.

A motivação para este trabalho surge a partir da possibilidade do desenvolvimento de novas formas de projeto de sistemas de funções críticas de segurança para reatores nucleares usando FPGAs..

Princípios de segurança baseados em recomendações de órgãos regulatórios internacionais são aplicados em todas as fases do projeto de uma usina nuclear. Desta forma, pode-se afirmar que a operação das usinas nucleares é segura e que a probabilidade de ocorrência de um acidente com consequência para o meio ambiente é extremamente reduzida em comparação com outras atividades industriais convencionais.

## 1.3 OBJETIVO

O objetivo desta dissertação é propor uma modelagem de funções críticas de segurança de reatores nucleares utilizando FPGA (*Field Programmable Gate Array*). Foi desenvolvida a modelagem para a Função Crítica Resfriamento do Núcleo e Função Crítica Transferência de Calor implementado por VHDL, que é uma forma de se descrever, através de um programa, o comportamento de um circuito ou componente digital. Para esta implementação foi utilizada a ferramenta Quartus II da Altera utilizada para a descrição, compilação, simulação do sistema.

Após implementadas, as aplicações de funções de segurança usando FPGAs são executadas sem software sistema em relação a sistemas dependentes de software. Essa funcionalidade, unida às funções críticas de segurança, seria um grande diferencial em relação à segurança, uma vez que as funções críticas têm uma estrutura hierárquica de informações das variáveis que afetam a segurança da planta. Quando ocorre uma emergência na central nuclear, o operador deve monitorar periodicamente as FCS e identificar possíveis caminhos de sucesso, para estabilizar ou desligar a planta usando procedimentos operacionais de emergência. Visando proporcionar um ambiente de informação amigável aos operadores Hunh Kim (Kim *et al*;2001) desenvolveu uma interface para apoiar a tarefa SFSC. A mesma consiste em três níveis hierárquicos de informação: a árvore de caminho incluindo funções de segurança e seus caminhos de sucesso, estrutura de fluxo do caminho de sucesso, estruturas topológicas do sistema relacionadas com o caminho de sucesso. Foi sugerido por Furuta (Furuta *et al*;1999) organizar hierarquicamente as informações ao longo de vários níveis da segurança da planta, pois isso ajudaria o operador a compreender essas funções na planta mais precisamente, e apoiar sua meta dirigida à resolução de problemas de adaptação.

Foi desenvolvido por Jun-Jen Lu (Jun-Jen Lu, *et al*;2015) um sistema de aplicação de backup para os sistemas digitais utilizando FPGA. Tal sistema é um importante meio de defesa contra falhas de software indetectáveis.

O processo de aprovação pode ser significativamente simplificado com o uso do FPGA. Vários projetos bem-sucedidos têm sido realizados em todo o mundo (Nakagawa,2008; Nguyen, 2008). Um exemplo interessante é documentado por Clarkson (2008), mostrando que US NRC levou apenas dois anos para concluir o processo de certificação, que é muito mais curto do que um baseado em software, que pode durar mais de 10 anos.

#### 1.4 ORGANIZAÇÃO DO TRABALHO

O presente trabalho está distribuído em seis capítulos, sendo o próximo, capítulo 2, destinado à apresentação das funções críticas de segurança. No capítulo 3 serão

apresentados conceitos de FPGA (*Field Programmable Gate Array*). O capítulo 4 destina-se à implementação das FCS utilizando FPGA. No capítulo 5 serão descritos os testes obtidos da implementação, e por fim, no capítulo 6 está a exibição das principais conclusões obtidas do trabalho realizado.

## 2FUNÇÕES CRÍTICAS DE SEGURANÇA

Este capítulo tem como objetivo apresentar o conceito de Sistema de Funções Críticas de Segurança (SFCS), que faz parte do Sistema de Supervisão de Parâmetros de Segurança (SSPS), um sistema computadorizado de monitoração em tempo real de parâmetros, que determina o status de segurança e de procedimentos de emergência para retorno da central nuclear à condição de operação normal quando da ocorrência de uma situação atípica.

Este sistema foi introduzido como resultado da experiência obtida com o acidente na unidade 2 na usina de *Three Mile Island*, para o gerenciamento de risco e consciência operacional.

### 2.1 DESCRIÇÃO GERAL DOS PRINCIPAIS COMPONENTES DE UMA USINA PWR E BARREIRA DE PROTEÇÃO

O reator a água pressurizada (PWR) é um reator que usa água leve para remoção do calor gerado pela fissão nuclear e para a moderação dos nêutrons liberados no processo de fissão nuclear. A água é desmineralizada e tratada quimicamente para torná-la um meio refrigerante apropriado para o reator. O PWR pode ser dividido em três circuitos termo-hidráulicos: primário, secundário e terciário. O circuito primário é composto basicamente pelo vaso do reator, parte primária do gerador de vapor (GV), bomba de circulação do refrigerante/moderador, pressurizador e tubulações associadas. O circuito secundário é composto pela parte secundária do GV, turbina que faz girar o gerador elétrico, parte secundária do condensador, e bomba de água de alimentação e tubulações associadas. O circuito terciário compõe-se do condensador (parte terciária) e da bomba de circulação da água do terciário, que no caso das plantas Angra I e II é alimentado pela água do mar. A figura 1 apresenta a vista pictórica de um PWR com seus principais componentes.

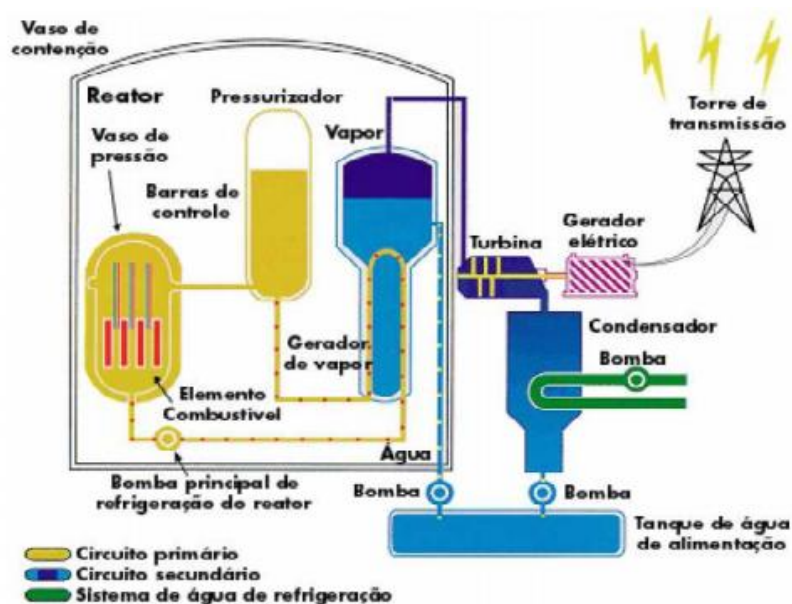


Figura 1– Representação da usina angra I(Adaptado CNEN)

A fissão dos átomos de urânio dentro das varetas do elemento combustível aquece a água que passa pelo reator. O gerador de vapor realiza uma troca de calor entre as águas deste primeiro circuito e a do circuito secundário, que são independentes entre si. Com essa troca de calor, a água do circuito secundário se transforma em vapor e movimenta a turbina que, por sua vez, aciona o gerador elétrico. Esse vapor, depois de mover a turbina, passa pelo condensador, é refrigerado pela água do mar, trazida por um terceiro circuito independente.

Na central nuclear de reator a água pressurizada (PWR), que é o tipo mais utilizado mundialmente (inclusive nas usinas Angra I e II), o reator é projetado para ter características de auto-regulação, isto é, com o aumento da temperatura da água de refrigeração do núcleo do circuito primário, há uma diminuição de potência térmica, funcionando como um controle automático da potência térmica gerada.

### 2.1.1 Descrição resumida dos componentes do circuito primário

- Vaso de pressão - O núcleo do vaso de pressão é composto de elementos combustíveis que contêm material físsil em baixas concentrações. O calor gerado nos elementos combustíveis é removido pela passagem sobre os mesmos do fluxo do refrigerante.
- Gerador de vapor - Os geradores de vapor (GVs) constituem a barreira entre o sistema de refrigeração do reator (circuito primário) e o circuito água/vapor (circuito secundário), e produzem vapor superaquecido que aciona o conjunto turbo - gerador. Eles são projetados como um trocador de calor, tipo feixe vertical de tubos em U, com circulação natural de água de alimentação.
- Pressurizador - O Pressurizador é um vaso ligado ao circuito primário que fica parcialmente cheio de água. Com o auxílio de aquecedores elétricos na parte cheia de água do pressurizador e um sistema de borrfio e alívio de pressão no espaço de vapor, regula-se a pressão do colchão de vapor do pressurizador e, portanto, a do sistema de refrigeração do reator, até um valor acima da pressão na qual o refrigerante se evaporaria, mantendo-a constante neste ponto.
- Bomba de recirculação do refrigerante - As bombas do circuito primário fazem a recirculação forçada da água refrigerante do circuito primário, garantindo a remoção do calor gerado dentro do vaso do reator pelo processo de fissão. Elas são do tipo centrífugas de um estágio e montadas verticalmente.
- Tubulação - A tubulação do circuito primário faz a interligação dos componentes do sistema de refrigeração do reator.



### 2.1.2 Descrição resumida dos componentes do circuito secundário

O vapor superaquecido, criado através do aquecimento adicional sobre o vapor úmido ou saturado, produzido pelo gerador de vapor, aciona as turbinas que são acopladas ao gerador elétrico para produzir energia elétrica. O vapor após passar pelas turbinas, é levado à fase líquida através do condensador. A água produzida pelo condensador é bombeada de volta ao gerador de vapor através do sistema de água de alimentação do circuito secundário.

- Gerador de vapor - A água de alimentação do GV entra pelo bocal localizado na parte superior do GV e é distribuída por um anel de alimentação para sua parte inferior onde se encontra o conjunto de tubos em U. Nesta parte do GV é efetuada a absorção do calor da água do circuito primário que circula pelos tubos em U. A água absorve o calor, gerando bolhas de vapor que sobem entre o conjunto de tubos em U para a parte superior do GV, onde um conjunto de separadores centrífugos de umidade, localizado acima do conjunto de tubos em U, remove a maioria da água de entrada do vapor. Placas perfuradas são incluídas na entrada do segundo estágio do separador. Secadores de vapor são empregados para aumentar a qualidade de vapor para um mínimo de 99,75% (0,25% de umidade). Um restritor de vazão de vapor é usado à saída do bocal de vapor para limitar a quantidade de fluxo de vapor, no caso de uma ruptura da linha de vapor.
- Turbina – As turbinas são acopladas mecanicamente ao gerador elétrico. Elas recebem o vapor superaquecido produzido nos GVs, que faz girar suas pás produzindo energia elétrica pelo gerador elétrico, que é enviada para a linha de transmissão da usina. Normalmente, numa planta tipo PWR existe uma turbina de alta-pressão e três de baixa-pressão. O vapor passa primeiramente pela de alta pressão, e é reaquecido antes de ser distribuído para as turbinas de baixa-pressão.

- Condensador e bombas de água de alimentação - O vapor, após passar pelas turbinas, é encaminhado para o condensador, a fim de ser levado de volta para a fase líquida para ser bombeado novamente para os GVs pelas bombas de água de alimentação.
- Tubulação - A tubulação do circuito secundário faz a interligação dos componentes do sistema do circuito secundário.

### **2.1.3 Descrição resumida dos componentes do circuito terciário**

O circuito terciário é responsável por absorver o calor do circuito secundário através do trocador de calor do condensador que efetua a condensação do excesso de vapor deste circuito.

- Condensador – O condensador tem como finalidade condensar o excesso de vapor gerado no circuito secundário (saída da turbina). Ele é dividido em duas partes: Uma onde passa o vapor que sai das turbinas e outra onde passa a água de resfriamento, destinada a baixar a temperatura interna do condensador. O vapor aquecido entra no condensador e encontra uma superfície com uma temperatura inferior ao seu ponto de ebulição e, então, condensa (ou liquefaz). Esse terceiro circuito normalmente retira água do mar, que, por ser salgada, possui características físico-químicas ideais quanto ao seu ponto de ebulição (mais alto que 100°C), sendo um dos motivos pelos quais a maioria das usinas nucleares é próxima ao mar.
- Bomba de circulação da água do mar – é responsável por circular a água do mar ou de uma torre de resfrição pelo circuito terciário da usina.

## 2.2 BARREIRAS FÍSICAS DE PROTEÇÃO

Numa usina nuclear de potência existem sistemas de proteção ativos e passivos. Os sistemas de proteção ativos utilizam atuadores elétricos e mecânicos que são acionados quando é violada uma condição de segurança da planta. Esses sistemas utilizam energia elétrica fornecida pela rede de alimentação externa da planta ou sistemas de alimentação elétrica de emergência que são acionados no caso de falta de alimentação externa.

Os sistemas de proteção passivos da planta nuclear do tipo PWR são chamados de barreiras físicas de proteção e são: revestimento das pastilhas de combustível, varetas de combustível, vaso do reator e o prédio da contenção.

A primeira barreira física de proteção é o revestimento das pastilhas combustíveis. Para seu uso como combustível em reatores nucleares, o  $\text{UF}_6$  produzido com urânio enriquecido no isótopo  $^{235}\text{U}$  deve ser convertido em pó de dióxido de urânio ( $\text{UO}_2$ ), que então é processado, dando-lhe a forma de pequenas partículas. As partículas são comprimidas e cozidas a altas temperaturas, em um processo chamado sinterização, durante o qual as partículas se aderem entre si, formando pequenos cilindros (*pellets*) cerâmicos de urânio enriquecido. Os *pellets* cilíndricos então são retificados em tornos especiais, para obtenção de um tamanho uniforme.

A segunda barreira física de proteção é a vareta de combustível que serve para impedir a saída de material radioativo para o meio ambiente. Essas varetas são fechadas, com o objetivo de não deixar escapar o material nelas contido (o urânio e os elementos resultantes da fissão) e podem suportar altas temperaturas. Os elementos resultantes da fissão nuclear (produtos de fissão ou fragmentos da fissão) são radioativos, isto é, emitem radiações e, por isso, devem ficar retidos no interior do Reator.

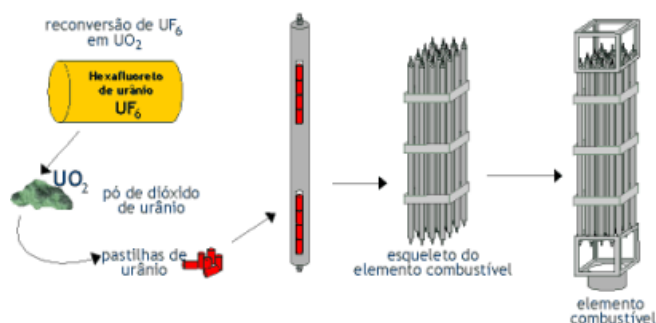


Figura 2— Representação da vareta e elemento combustível (Adaptado CNEN 2003)

Na estrutura do Elemento Combustível (EC) existem tubos guias, por onde podem passar as Barras de Controle (BC), geralmente feitas de cádmio, material que absorve nêutrons, com o objetivo de controlar a reação de fissão nuclear em cadeia.

Normalmente, quando as barras de controle estão totalmente retiradas, o reator está na sua capacidade máxima de energia térmica. Quando elas estão totalmente inseridas na estrutura do EC, o reator está desligado (não há reação de fissão em cadeia).

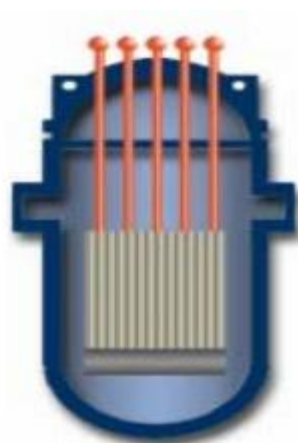


Figura 3— Representação do elemento combustível (Adaptado CNEN 2003)

A terceira barreira física de proteção é o vaso de pressão onde estão situados os elementos combustíveis. O vaso de pressão serve para impedir a saída de material radioativo para o ambiente da contenção. O vaso do reator é fabricado com liga aço manganês molibdênio, que é usado tendo em vista a sua alta resistência e operação satisfatória em campos intensos de nêutron e raios gama. Sua superfície interna é folheada com um mínimo de 1/8 de polegada (0,32 cm) de solda de aço inoxidável austenítico para minimizar a formação de produto de corrosão.

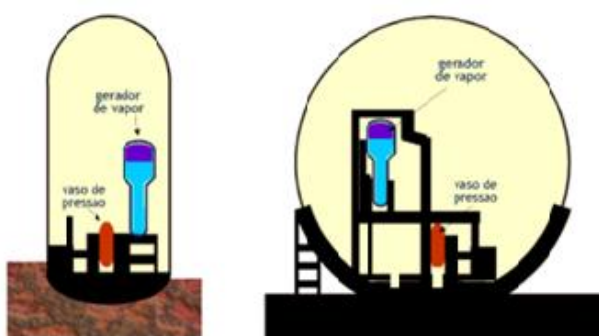


Figura 4— Representação da contenção (Adaptado CNEN 2003)

A quarta barreira física de proteção é o prédio da contenção, onde estão instalados todo o circuito primário e parte do circuito secundário do reator. A contenção serve para impedir a liberação de material radioativo - contido na água desses circuitos na forma de gases ou vapor de água - para o meio ambiente. Para dificultar a liberação de material radioativo na forma gasosa ou de vapor, a pressão no interior da contenção é mantida inferior à pressão atmosférica, que em caso de fissuras na contenção, ao invés de os gases e vapores saírem, é o ar externo que entra na contenção. A contenção também protege o reator de impactos externos como quedas de aviões, explosões etc.

O edifício da contenção é composto de um invólucro de aço recoberto por uma envoltória de concreto. A figura 5 apresenta uma vista pictórica da contenção metálica das usinas de Angra. Em Angra I, o edifício da contenção tem a forma cilíndrica e a de Angra II a forma esférica. A figura 5 apresenta uma vista pictórica do prédio da contenção de Angra I.

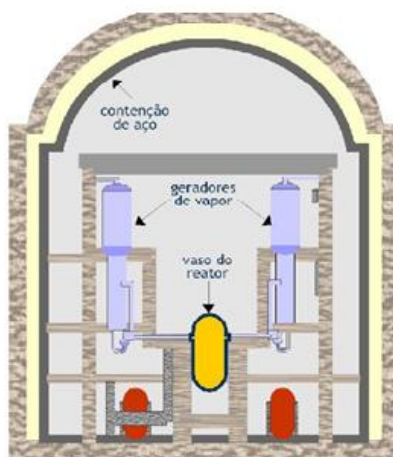


Figura 5– Representação do edifício do reator (Adaptado CNEN 2003)

Enquanto estiverem intactas as quatro barreiras anteriormente descritas, a usina nuclear não oferecerá nenhuma ameaça à segurança da população.

Se uma das barreiras for violada, a ameaça aumenta, tornando-se mais grave na medida em que for aumentando o número de barreiras violadas.

Quando todas as barreiras forem violadas, serão necessárias ações de emergência como, por exemplo, a evacuação da população local.

### 2.3 O ACIDENTE EM TREE MILE ISLAND

O acidente na unidade dois da Central Nuclear de *Three Mile Island* (TMI) 1979, nos Estados Unidos, foi iniciado por problemas mecânicos e de manutenção e acentuado por ações humanas inadequadas (KEMENY, 1979). Contribuíram para estas ações inadequadas problemas nos painéis da sala de controle e da instrumentação, que

dificultaram o entendimento do que realmente ocorria na planta, além da falta de coordenação das atividades dos operadores.

A seguir é descrita a sequência de eventos do acidente:

- A unidade 2 da Planta Nuclear *Three Miles Island* (TMI-2) operava normalmente com 97% (2.772 megawatts) de potência, no modo automático de controle da potência.
- (04h00min) Ocorreu um problema numa bomba do sistema de resfriamento do reator.
- A pressão e a temperatura dentro do reator começaram a subir, o que ocasionou (como esperado) a abertura da válvula de liberação (ou alívio) de pressão.
- Com o nível de pressão voltando ao normal, a válvula de liberação de pressão deveria ser automaticamente fechada, o que não ocorreu. Os operadores não perceberam que a válvula estava emperrada, (não completamente fechada por problemas mecânicos) o sistema indicava que havia sido enviado um sinal de “fechar” para a válvula. Todavia, o sistema não informava o estado correto da posição da válvula. Durante duas horas, com a válvula de liberação de pressão aberta, a água que resfria o núcleo evaporou para a atmosfera.
- Os operadores não interpretaram corretamente as leituras dos parâmetros de operação e controle da planta (pensavam que a alta temperatura seria temporária) e pararam o fluxo de emergência de água para o resfriamento do núcleo do reator.
- Em resposta à falta de água, as bombas de injeção de alta pressão automaticamente foram acionadas e começaram a adicionar água no sistema de resfriamento, que mesmo assim continuava vazando vapor pela válvula de liberação de pressão (que permaneceu aberta).

- Os operadores imaginaram então que o núcleo estava com água em excesso (no treinamento, eles foram ensinados que somente água em acesso aumenta a pressão no núcleo) e diminuíram o fluxo de água para o resfriamento de emergência.
- Em virtude da falta de água, as bombas começaram a bombear uma mistura de água e vapor. Essa mistura fazia com que as bombas (e toda a planta) vibrassem o que poderia causar um dano maior à planta.
- Como pensavam que o reator tinha água em abundância, os operadores resolveram desligar todo o sistema de refrigeração (inclusive o resfriamento).
- Sem água a temperatura subiu no núcleo do reator a ponto de fazer o urânio derreter dentro do vaso do reator (o maior dano do acidente) e contaminar a água de refrigeração com material radioativo.
- (06h22min) Os operadores conseguiram fechar uma válvula entre a bomba de pressão e o reator. Isso fez com que parasse o vazamento de água.
- (19h50min) Os operadores restauram a normalidade a partir da injeção em alta pressão de água no sistema de resfriamento.

Mesmo que o acidente não tenha ocasionado nenhuma vítima fatal e tenha sido mantido dentro dos limites da contenção pelos sistemas que foram projetados para esta finalidade, a necessidade de deslocamento de grandes contingentes populacionais e o clima de especulação dado pela imprensa durante a evolução do



acidente (bolha de hidrogênio, liberação de produtos de fissão para o meio ambiente), fizeram com que o público tomasse consciência que reatores nucleares, tal como qualquer outra máquina desenvolvida pelo homem, podem sofrer acidentes.

Outra lição que TMI2 trouxe para a indústria nuclear foi a maneira de operar reatores nucleares, bem como uma reformulação da análise de acidentes em vista da possibilidade concreta de fusão do núcleo. Com relação à operação, houve a necessidade da reformulação da interação humano-sistema, fazendo com que o controle da evolução de um acidente passasse a ter a mínima interferência possível do operador. Foi adotado o procedimento de fornecer informações ao operador sobre o andamento dos parâmetros de segurança da planta durante um acidente e diagnósticos sobre as ações a serem tomadas.

De acordo com Kemeny (KEMENY, 1979), as salas de controle das usinas da geração de TMI-2 não eram projetadas para as necessidades da cognição do operador, pois os mesmos eram sobrecarregados com muitos alarmes, as informações necessárias não eram apresentadas de maneira conveniente e inteligível.

A resposta a esses problemas possibilitou uma reavaliação da segurança em toda a indústria nuclear, em projetos de plantas, acidentes de base de projeto, treinamento de pessoal, procedimentos de emergência e principalmente na interface humano - sistema; sendo uma das principais consequências a revisão do projeto das salas de controle que continham muitas informações dificultando a tomada de decisão para o operador (NUREG-0585, 1979).

Foram feitas algumas revisões (US.NRC,2007) em todas as usinas dos EUA em aspectos de interface humano-sistema. Foi revista a apresentação das informações nos displays procurando sua otimização em condição de operação normal, anormal e de emergência, bem como a comunicação entre os operadores da sala de controle, a operação da usina com múltiplas falhas e a adequação dos procedimentos operacionais às condições de limitações da instrumentação .

Através dos estudos feitos por Kemeny (KEMENY, 1979) e Nureg (NUREG-0585, 1979) (US.NRC,2007) as plantas da geração seguinte passaram a incorporar

sistemas para detectar e mitigar o resfriamento inadequado do núcleo e fornecer informações das condições pós-acidentes. Além disso, as salas de controle passaram a ser projetadas levando em conta aspectos cognitivos dos operadores.

Em resumo podemos dizer que o acidente de TMI-2 e as investigações consequentes evidenciaram a necessidade de se melhorar a apresentação das informações sobre os principais parâmetros operacionais relacionados à segurança da central nuclear.

A NRC formulou uma série de recomendações para melhorar as condições de atuação dos operadores, as quais estão contidas no NUREG-0585 (3) ("*TMI Lessons Learned, TaskForce Final Report*"). Dentre as referidas recomendações, destaca-se a da implementação em médio prazo de um sistema de auxílio ao operador intitulado Sistema de Supervisão de Parâmetros de Segurança (SSPS).

## 2.4 SISTEMA DE SUPERVISÃO DE PARÂMETROS DE SEGURANÇA

O Sistema de Supervisão de Parâmetros de Segurança (SSPS) é um sistema computadorizado de monitoração em tempo real dos parâmetros essenciais para a determinação do status de segurança e de procedimentos de emergência para retorno da central nuclear à condição de operação normal quando da ocorrência de uma situação atípica.

O SSPS é composto de três subsistemas distintos: O Sistema Integrado de Monitoração de Parâmetros (SIMP), o Sistema de Funções Críticas de Segurança (SFCS) e o Sistema Computacional de Parâmetros de Segurança (SCPS). O primeiro destina-se a dar aos operadores uma visão integrada dos valores de um conjunto de parâmetros, capaz de refletir qualquer desvio de operação normal da central.

O segundo fornece aos operadores um meio conveniente e eficaz para avaliação do status de segurança em termos de um conjunto prefixado de funções críticas de segurança. Em caso de violação de qualquer função crítica, o SFCS inicia

automaticamente o procedimento de emergência adequado para retorno da central a uma condição segura.

O terceiro subsistema realiza a aquisição dos sinais analógicos e digitais de controle da usina. Além disso, tem como finalidade fazer a validação dos sinais, impedindo que sinais falhos sejam apresentados ao operador através dos sistemas SIMP e SFCS.

Neste capítulo iremos dar ênfase ao segundo subsistema (SFCS) para que possamos ter um melhor entendimento sobre as Funções Crítica de Segurança.

## 2.5 SISTEMA DE FUNÇÕES CRÍTICAS DE SEGURANÇA

O Sistema de Funções Críticas de Segurança (SFCS) é um subsistema do Sistema de Supervisão de Parâmetros de Segurança (SSPS). A concepção do SFCS baseia-se fundamentalmente na monitoração computadorizada em tempo real de um conjunto de funções denominadas "Funções críticas de segurança", especificadas por exemplo nos guias de respostas de emergência (4) (*Emergency Response Guidelines*) publicados pelo *Westinghouse Owners Group (WOG)*.

Os objetivos do SFCS consistem em fornecer ao operador:

- Uma avaliação continua do status de segurança da central em situações de operação de emergência, através da monitoração em tempo real de um conjunto de arranjos lógicos de parâmetros (árvores de estado) que compõem as chamadas funções críticas de segurança.
- A priorização das ações a serem executadas pelo operador em situações de emergência.

- Os procedimentos de operação de emergência necessários para o retorno da central a uma condição segura.
- Elementos auxiliares para ajudar o operador no cumprimento das tarefas estipuladas nos procedimentos, bem como acompanhar em tempo real os efeitos de suas ações sobre os diversos parâmetros e sistemas de segurança da central.

## 2.6 DEFINIÇÕES DE FUNÇÕES CRÍTICAS DE SEGURANÇA

As funções críticas de segurança (FCS) priorizam as ações do operador em função da potencial ameaça para as três barreiras (revestimento de combustível, fronteira do sistema de arrefecimento primário, e de contenção) e permite ao operador responder a estas ameaças antes mesmo do diagnóstico exato do evento.

Segundo a IAEA (2009), as funções críticas de segurança são definidas como necessárias para que a instalação previna ou mitigue consequências radiológicas em operação normal, antecipando assim ocorrências e condições de acidentes. Dentre as funções críticas de segurança de um reator nuclear podemos citar a manutenção da subcriticalidade do núcleo, após um evento, por exemplo, de desligamento do reator o resfriamento do núcleo e o inventário do nível de refrigerante do circuito primário e integridade do mesmo.

As funções críticas de segurança têm uma estrutura hierárquica de informações das variáveis que afetam a segurança da planta. Quando ocorre uma emergência na central nuclear, o operador deve monitorar periodicamente as FCS e identificar possíveis caminhos de sucesso para estabilizar ou desligar a planta usando procedimento operacional de emergência (POE). Os POEs incluem etapas para verificar as FCS. Esta verificação do estado das funções críticas de segurança é uma tarefa que provoca uma sobrecarga cognitiva que pode ser reduzida com a exibição de informações adequadas.

O Sistema de Monitoração de Parâmetros de Segurança (SPDS- *Safety Parameter Display System*) disponibiliza todas as variáveis necessárias para a atuação do sistema FCS.

O sistema de FCS tem a função de processar as variáveis que são importantes no processo através do Sistema de Monitoração de Parâmetros de Segurança (SPDS - *Safety Parameter Display System*).

A figura 6 apresenta a interação dos sistemas de SPDS e FCS e operador (NUREG, 1981).

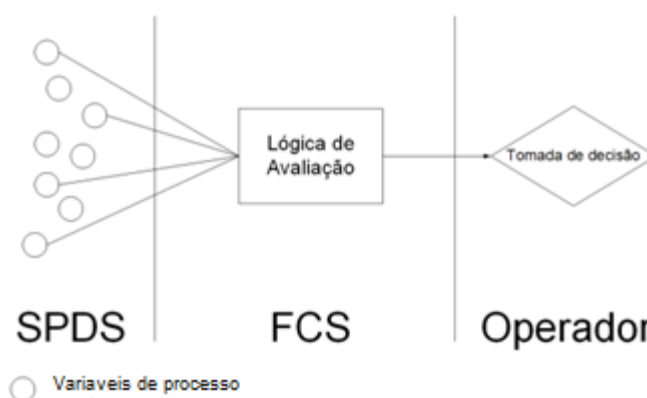


Figura 6– Interação do sistema de SPDS e FCS e operador

A principal função do SPDS é servir como auxílio ao operador na rápida detecção de condições anormais, proporcionando uma visualização dos parâmetros da planta a partir da qual o estado de segurança da operação possa ser avaliado pelos operadores da sala de controle.

A monitoração das FCS torna possível ao operador detectar rapidamente as condições das funções críticas de segurança da planta e facilitar a tomada de decisão dos operadores.

O direcionamento para a determinação do status de segurança da usina, independentemente da sequência de acidente ocorrida, está contido nas árvores de estados

das funções críticas de segurança. Existe uma árvore de estado para cada uma das funções críticas, sendo que o conjunto dessas árvores determina o estado de segurança da usina.

Um conjunto limitado de parâmetros deve ser avaliado de uma maneira sistemática para se determinar o estado de cada função. Uma estrutura ramificada do tipo “árvore de decisão/estado” é o veículo lógico para se estruturar a avaliação sistemática dos parâmetros da central que determinam o estado de cada função.

Árvore de estado é uma ferramenta utilizada para análise de confiabilidade de sistemas de proteção. Cada árvore de estado tem um único ponto de entrada e vários pontos de saída (ramos terminais) mutuamente exclusivos dependendo dos valores dos parâmetros especificados na árvore. Dessa forma, cada passada através de uma árvore de estado produz um único ponto de saída, ou seja, um único estado da função correspondente.

Uma árvore de estado representa um sistema, ou subsistema, por meio de um diagrama que possui um evento de topo, que ocorre a partir de uma combinação de outros eventos. Essa combinação é representada por símbolos que interligam esses eventos por meio de elementos lógicos, tais como “AND”, “OR”, etc.

Uma análise qualitativa pode ser feita a partir da verificação, na árvore de falhas, de quais eventos básicos e caminhos levam à ocorrência do evento topo. Por outro lado, a análise quantitativa é aplicada quando se determina a probabilidade de o evento topo ocorrer em função das probabilidades de eventos básicos. O diagrama permite visualizar as sequências de falhas que deverão ocorrer para que aconteça evento topo. Após a construção da árvore de estado, podem-se inserir as probabilidades que cada evento representado tem de ocorrer, possibilitando o cálculo da probabilidade de acontecer o evento. A figura 7 apresenta uma árvore de estado para uma FCS.

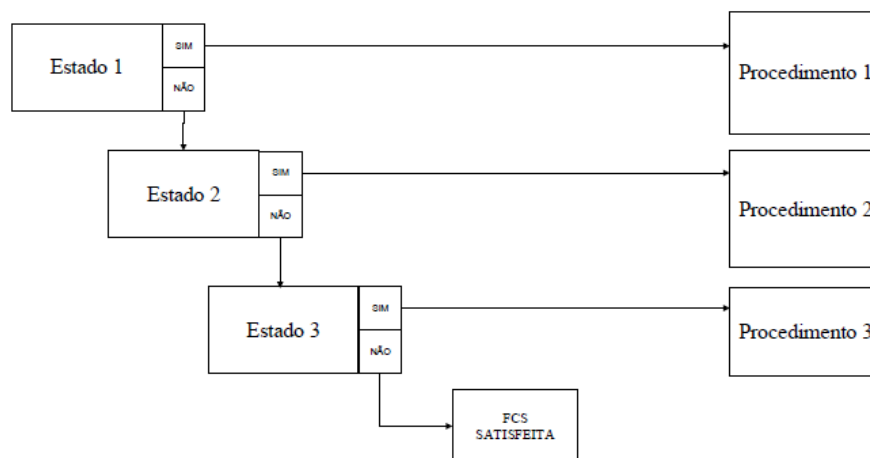


Figura 7—Árvore de estados genérica

No SFCS quatro condições de estado (ameaça extrema, ameaça severa, anormal e satisfeita) são definidas para permitir a priorização dos estados de cada função crítica. Cada ramo (terminal) de uma árvore é classificado dentro de uma das quatro condições mencionadas acima, um código de linhas coloridas e símbolos de terminação são usados como mecanismo para informar imediatamente ao operador que cada função crítica está sendo ameaçada e para indicar o grau de severidade da ameaça. Cada estado caracteriza o grau de ameaça à FCS:

- Estado 1 – ameaça extrema(condição alta);
- Estado 2 – ameaça severa(condição média);
- Estado 3 – condição anormal (condição baixa);
- Estado 4 – Condição normal, FCS satisfeita.

O estado 1 indica o maior grau de ameaça à FCS; o estado 2, indica uma ameaça intermediária entre o estado 1 e o 3, o estado 3 é a primeira indicação de que a FCS está sendo violada, o estado 4, indica a condição de normalidade e não violação da FCS.

Com exceção dos ramos terminais da função satisfeita, a cada ramo terminal da árvore é associado um procedimento de operação de emergência especialmente

redigido para direcionar as ações do operador no sentido de restaurar a condição "satisfeita" da função crítica correspondente. Esses procedimentos especiais são denominados "procedimentos de restauração de funções".

Existe uma árvore de estado para cada uma das FCS, sendo que o conjunto dessas árvores determina o estado de segurança da usina. O sistema de FCS avalia continuamente as árvores de estado e fornece em tempo real ao operador, através de meios gráficos, o estado atualizado de todas as funções críticas de segurança.

O sistema de FCS indica a prioridade das ações que devem ser tomadas pelo operador. Para isso existe uma hierarquização das FCS e das ameaças, em cada FCS. A equipe de operação verifica o cumprimento das FCS da planta fazendo a leitura de parâmetros relativos a cada uma delas e, em caso de ameaça, executa os procedimentos necessários.

O conjunto de funções críticas de segurança implementados no SFCS é constituído pelas seguintes funções:

- Subcriticalidade
  - Resfriamento do núcleo
  - Remoção de calor
  - Integridade do sistema de refrigerante do reator
  - Ambiente da contenção
  - Inventário do refrigerante do reator
- 
- A finalidade da função de segurança "subcriticalidade" é fornecer uma indicação do desligamento do reator.
  - A função "resfriamento do núcleo" indica se o núcleo está sendo resfriado adequadamente ou não.
  - A remoção de calor está relacionada com a capacidade do sistema de remoção de calor do circuito primário para o secundário da planta.



- A função crítica de segurança “integridade do sistema de refrigerante do reator” verifica se a pressão no sistema de resfriamento do reator, medida no pressurizador, está dentro dos limites especificados com base na temperatura do líquido de resfriamento, bem como a taxa de variação da temperatura do líquido de resfriamento.
- A função crítica de segurança “ambiente da contenção” fornece uma avaliação de vazamento de radiação, vapor ou água do circuito primário e secundário para o ambiente da contenção.
- Finalmente, o inventário de refrigerante do reator, que por meio do monitoramento dos níveis de água de refrigeração no pressurizador e vaso do reator, fornece informações úteis para determinar se a quantidade de água presente no sistema primário é satisfatória e/ou se uma bolha de vapor está sendo formada no vaso do reator.

O SFCS percorre sequencialmente as seis árvores de estado e fornece ao operador o estado atualizado de todas as funções críticas em tempo real; A hierarquização das funções obedece à ordem que foi apresentada anteriormente, ou seja, “subcriticalidade” é a função hierarquicamente mais alta e “inventário do refrigerante do reator” é a mais baixa. Em TMI a última que foi violada

O uso pelos operadores das funções críticas de segurança permite uma avaliação do estado de segurança da planta através de monitoração das variáveis de estado que as caracterizam, a análise em tempo real quanto às suas tendências e proteção por meio de um painel que mostre ao operador o grau de ameaça a cada FCS. Nesses casos, o sistema de FCS é utilizado para auxiliar o operador a levar a planta a uma parada segura. Em um reator nuclear, a modificação das FCS têm importante papel para auxiliar os operadores a manter as condições seguras da unidade após um evento de desligamento da usina.

### 3FIELD PROGRAMMABLE GATE ARRAY ( ARRANJO DE PORTAS LÓGICAS PROGRAMÁVEL EM CAMPO)

Este capítulo tem como objetivo apresentar o conceito de FPGA (*Field Programmable Gate Array*) que consiste em um circuito integrado que contém um grande número de unidades lógicas idênticas que podem ser configuradas de formas independentes após sua fabricação. A habilidade de atualizar suas funcionalidades e reconfigurar partes do projeto e o baixo custo não-recorrente de engenharia em relação a um projeto ASIC (*Application-Specific Integrated Circuit*) oferecem vantagens para muitas aplicações. Neste capítulo também será abordado o conceito da configuração da FPGA, que é geralmente especificada utilizando Linguagem de Descrição de Hardware (VHDL - *Hardware Description Language*).

#### 3.1 DISPOSITIVO FPGA

O dispositivo lógico FPGA (*Field Programmable Gate Array*) é um circuito integrado que contém um grande número de unidades lógicas idênticas que podem ser configuradas de formas independentes e interconectadas a partir de uma matriz de trilhas condutoras e *switches* (chaves) programáveis. A partir do amadurecimento da tecnologia de FPGA, as primeiras arquiteturas reconfiguráveis foram criadas com o intuito principal de aumentar o desempenho de algoritmo que até então era executado em um software (Mesquita, 2002).

De acordo com Gonçalves (Gonçalves et al.,2003),esta tecnologia propicia chips extremamente eficientes e totalmente reaproveitáveis, pois estes podem ser reprogramados e reutilizados quantas vezes forem necessárias.

De acordo com Martin (Martin et al.,2003) uma arquitetura reconfigurável pode compartilhar todas as características de uma arquitetura tradicional.

### 3.2 USO DE FPGA EM SISTEMAS DE SEGURANÇA NUCLEAR

Devido aos efeitos do envelhecimento, os problemas de obsolescência, degradação ambiental e falhas mecânicas, as tecnologias de relé convencional e eletrônica analógica tornaram-se uma questão problemática para as usinas nucleares, que precisam substituir estes sistemas mais antigos por sistemas baseados em tecnologias digitais.

A utilização de tecnologias digitais baseadas em software para funções críticas e de segurança em usinas nucleares tem se mostrado problemática e custosa, principalmente em função dos requisitos para projeto de software exigidos pelas normas de projeto de software para funções críticas e de segurança, como por exemplo, a IEEE 880 (1995).

Conforme a IEEE 880(1995), quando um novo sistema com base digital é utilizado para substituir um sistema analógico, ele tem que ser desenvolvido de forma criteriosa e passar por um exame minucioso por órgãos reguladores para que possa ser autorizada sua operação na planta. Este processo de aprovação pode ser muito custoso e demorado devido à complexidade envolvida na certificação para o desenvolvimento de lógicas baseadas em software.

O projeto de um sistema em FPGA é feito através de um fluxo de projeto de sistema digital padrão, que pode ser implementado em FPGA de diferente hardware. Em outras palavras, o projeto (especificações do sistema, fluxograma lógico, código fonte, e simulação funcional) é independente do software específico e as plataformas de hardware em que está implementado, tornando o sistema FPGA "circuito independente". Mesmo se um Chip de FPGA não estiver mais disponível no futuro, o projeto será certificado e ainda será válido. O projeto pode ser implementado em um

chip FPGA e todas as funcionalidades projetadas permanecem inalteradas. Estas características tornam a tecnologia FPGA uma nova opção para o projeto de sistemas de segurança de usinas nucleares.

O FPGA tem muitas vantagens, pois é essencialmente livre do sistema operacional, fornece de forma independente sinais paralelos semelhantes aos circuitos analógicos convencionais. O número de modos de falha de um sistema utilizando FPGA é muito menor do que um que opera sobre um sistema operacional.

O processo de aprovação pode ser significativamente simplificado. Vários projetos bem-sucedidos têm sido realizados em todo o mundo (Clarkson, 2008; Nakagawa, 2008; Nguyen, 2008). Um exemplo interessante é documentado por Clarkson (2008) mostrando que US NRC levou apenas dois anos para concluir o processo de certificação, que é muito mais curto do que um baseado em software, que pode durar mais de 10 anos.

Outra vantagem de implementação do FPGA é o aumento da velocidade das lógicas de processamento. Esta capacidade de processamento de alta velocidade pode trazer benefícios adicionais para a segurança de uma usina nuclear. A função mais importante de qualquer sistema de segurança I & C em uma usina nuclear é parar a reação em cadeia e absorver nêutrons em um evento de um acidente.

Um sistema de desligamento mais rápido seria muito importante para segurança das instalações.

### 3.3 AS ESTRUTURAS DE UM FPGA

Um FPGA possui três elementos básicos que podem ser definidos como: bloco de lógica configurável (CLB - *Configurable Logic Block*), as interconexões, e os blocos de entrada/saída (I/O - *Input/Output*). A estrutura fornece acesso individual selecionável de entrada, saída ou bidirecional, ao mundo externo. A matriz distribuída de interconexões programáveis fornece interconexões aos CLBs e conexões aos

blocos de I/O. FPGAs grandes podem ter dezenas de milhares de CLBs, além de memória e outros recursos.

A maioria dos fabricantes de dispositivos de lógica programável produz uma série de FPGAs que variam em densidade, consumo de energia, tensão de alimentação, velocidade, e até certo ponto variam em arquitetura. FPGAs são reprogramáveis e usam as tecnologias SRAM (volátil) ou antifuse (não-volátil) para programar as interconexões.

### 3.3.1 Definição de blocos lógicos

As funções lógicas são implementadas no interior dos Blocos Lógicos. Esses blocos lógicos programáveis (CLB – *Configurable Logic Block*) são distribuídos pelo integrado no meio de uma matriz de interligações que estabelecem ligações entre blocos lógicos e entre um bloco lógico e um de I/O. Os blocos de I/O estão colocados em torno do integrado como visto na figura 8:

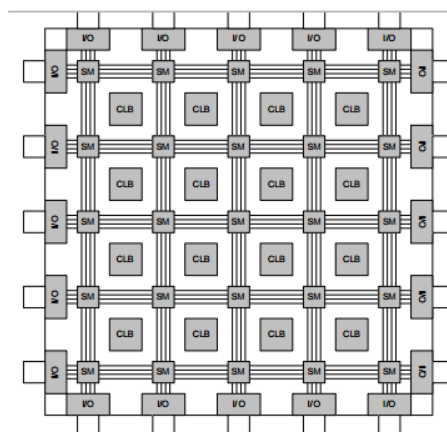


Figura 8—Arquitetura genérica de uma FPGA

Os CLB (Bloco Lógico Configurável) encontram-se dispostos ao longo do integrado numa estrutura regular. No cruzamento das ligações horizontais e das verticais, existe um módulo configurável designado matriz de ligação (SM) em que se programam as interligações. O número de CLB, de SM e de blocos de I/O, bem como a estrutura interna de cada um destes blocos, varia com o fabricante e depende da família e do tipo de FPGA.

A Figura 9 mostra um CLB dentro das linhas/colunas de interconexões programáveis globais que são utilizadas para conectar os CLBs. Cada CLB é constituído por múltiplos módulos lógicos menores e uma interconexão programável local que é utilizada para conectar os módulos lógicos dentro do CLB.

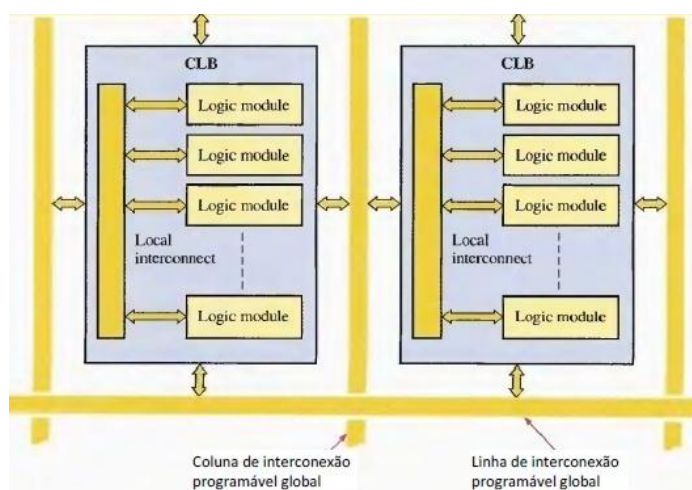


Figura 9—Configuração básica de um CLB

Quando um circuito lógico é sintetizado em um FPGA, os blocos lógicos são programados para realizar as funções necessárias, e os canais de roteamento são estruturados de forma a realizar a interconexão necessária entre os blocos lógicos. As células de armazenamento de memória são voláteis, o que implica na perda do conteúdo armazenado, no caso de falta de suprimento de energia elétrica. Dessa forma, o FPGA deve ser programado toda vez que for energizado. Um módulo lógico em um CLB pode ser configurado para lógica combinacional, lógica de registrador ou uma combinação de ambos. Um flip-flop é parte da lógica associada e é utilizado

para a lógica de registrador. O diagrama de blocos da Figura 10 mostra os componentes de um módulo lógico.

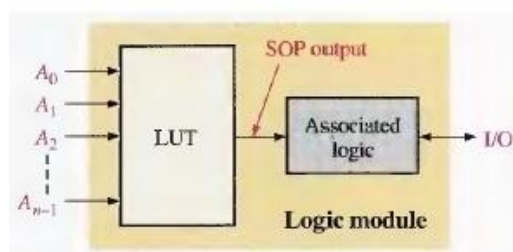


Figura 10— Diagrama de bloco de um módulo lógico.

O LUT (*Look-Up Table*) é um tipo de memória programável utilizada para gerar soma de produtos.

Geralmente utiliza-se uma pequena memória Flash ou EEPROM (*Electrically Erasable Programmable Read Only Memory*), cuja função é carregar automaticamente as células de armazenamento. Toda vez que o FPGA for energizado, esta flexibilidade de programação, associada a potentes ferramentas de desenvolvimentos e modelagem, possibilita ao usuário acesso a projetos de circuitos integrados complexos sem os altos custos de engenharia, necessários no uso de Asics (*Application Specific Integrated Circuits*). ASICs são circuitos integrados que precisam de um processo de fabricação especial, que requer máscaras específicas para cada projeto. Outra característica dos circuitos integrados ASICs é o tempo de desenvolvimento longo e os custos extremamente altos. Geralmente não necessitam de muitos componentes externos para a realização de uma função específica, pois sua alta densidade os torna aptos para a implementação de vários tipos de aplicação.

### 3.3.2 Núcleo de FPGA

Existem dois tipos de núcleos de FPGA: núcleo rígido e núcleo flexível. Um núcleo rígido é uma parte de lógica em uma FPGA que é colocada pelo fabricante para fornecer uma função específica, e não pode ser reprogramada. Uma vantagem na utilização de núcleos rígidos é que um projeto implementado em um FPGA utilizando um núcleo rígido ocupa menos espaço no FPGA do que o mesmo projeto implementado em campo por um usuário, resultando em uma economia de elementos lógicos e menor tempo de desenvolvimento. Além disso, as funções do núcleo rígido já foram exaustivamente testadas. A desvantagem dos núcleos rígidos é que as especificações são fixadas durante o processo de fabricação, e o consumidor não poderá alterar a lógica.

Núcleos rígidos são geralmente disponíveis para funções que são usualmente utilizadas como microprocessadores, interface padrão de I/O, e processadores digitais de sinais. Mais de um núcleo rígido pode ser programado em uma FPGA. A Figura 11 ilustra o conceito de um núcleo rígido rodeado por elementos lógicos programáveis pelo usuário.

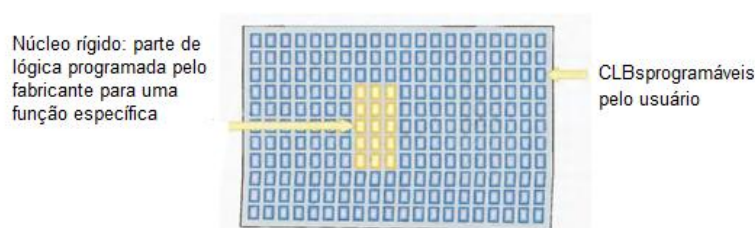


Figura 11—Modelo de um núcleo rígido embutido em uma FPGA

Núcleos rígidos são geralmente desenvolvidos pelos fabricantes de FPGA. Projetos de propriedade do fabricante são denominados de IP (*Intellectual Property*). A empresa geralmente relaciona em seu site os tipos de IP que estão disponíveis. Um



núcleo flexível é uma parte de lógica que é programada pelo usuário e pode ser modificada.

Projetos de núcleos flexíveis podem ser encontrados prontos ou podem ser desenvolvidos. As desvantagens na sua utilização são a maior utilização da capacidade da FPGA e o maior tempo de desenvolvimento para o usuário, pois mesmo que o projeto esteja pronto, pode ser necessária a realização de testes e modificações. A sua vantagem está na sua flexibilidade de poder ser modificado.

### **3.3.3 Desenvolvimento de projetos em FPGA**

Ao longo dos últimos anos, o uso de FPGA tem aumentado muito nos produtos comerciais e militares. Eles podem ser encontrados em radares, na comunicação via satélite, produção, indústria automotiva, e muitos outros tipos de produtos. Independente do produto final, projetistas de FPGA seguem um mesmo processo básico.

Os estágios de desenvolvimento em FPGA são design, captura de esquemático, simulação, síntese e implementação.

- **Design:** O processo de design envolve a conversão dos requisitos para um formato que representa a função digital desejada. Os formatos de concepção mais comuns são a captura de esquemático e a linguagem de descrição de hardware (HDL), ou uma combinação dos dois. Embora cada método tenha suas vantagens e desvantagens, HDLs geralmente oferecem grande flexibilidade de design.
- **Captura de esquemático:** A captura de esquemático é uma representação gráfica de um projeto digital, onde mostra a interligação efetiva entre as portas lógicas que produzem as funções de saída desejadas. Muitas destas funções envolvem informações proprietárias, e são fornecidas ao projetista apenas

através da biblioteca do fornecedor específico da FPGA. A natureza exclusiva deste tipo de projeto faz com que seja dependente do fornecedor, e o processo de design inteiro deve ser repetido se um fornecedor diferente é usado. Exemplos de ferramentas de captura de esquemáticos são *Viewlogic's ViewDraw* e *HDL's EASE*. A principal vantagem da utilização da captura de esquemático é que a representação gráfica é de fácil compreensão. No entanto, sua maior desvantagem é um aumento no custo e tempo para reproduzir um projeto para diferentes fornecedores, devido à natureza proprietária do desenho.

- **Simulação:** A simulação é o ato de verificar o design antes da validação do hardware real. As características dos sinais de entrada do circuito são descritos em HDL ou graficamente, e então aplicados ao design. Isso permite que o responsável pela verificação do código possa observar o comportamento das saídas.
- **Síntese:** O primeiro passo no processo de síntese é compilar o design em elementos estruturais. A etapa seguinte envolve a otimização do design, tornando-o menor e mais rápido, removendo lógicas desnecessárias e permitindo que os sinais cheguem às entradas ou saídas mais rapidamente. O passo final no processo de síntese envolve o mapeamento ou associação do design à arquitetura específica de um fornecedor. O processo de mapeamento define as conexões do design na FPGA, usando a arquitetura do fabricante específico.
- **Implementação:** A última fase no processo de desenvolvimento de projeto em FPGA é a implementação, também conhecida como PAR (*Place And Route*). O primeiro passo no processo de implementação é chamado tradução. A tradução envolve a verificação da coerência entre a síntese do design e a FPGA alvo. Alguns exemplos de incoerência são: dois sinais diferentes serem atribuídos ao mesmo pino, atribuição de um sinal ao pino Vcc ou terra ou atribuir um sinal a um pino não existente. O segundo passo é a distribuição da

lógica do design na FPGA. O último passo é gerar o arquivo de programação que pode ser gravado em uma memória flash, PROM ou diretamente na FPGA, dependendo do fabricante.

### 3.3.4 Arquitetura geral de roteamento

A arquitetura de roteamento de um FPGA é a forma pela qual os seus barramentos e as chaves de comutação são posicionados para permitir a interconexão entre as células lógicas. Essa arquitetura deve permitir que se obtenha um roteamento completo e ao mesmo tempo, alta densidade de portas lógicas. Para melhorar a compreensão dessa arquitetura é necessária a definição de alguns conceitos básicos, sendo que parte deles é exemplificada na figura 12.

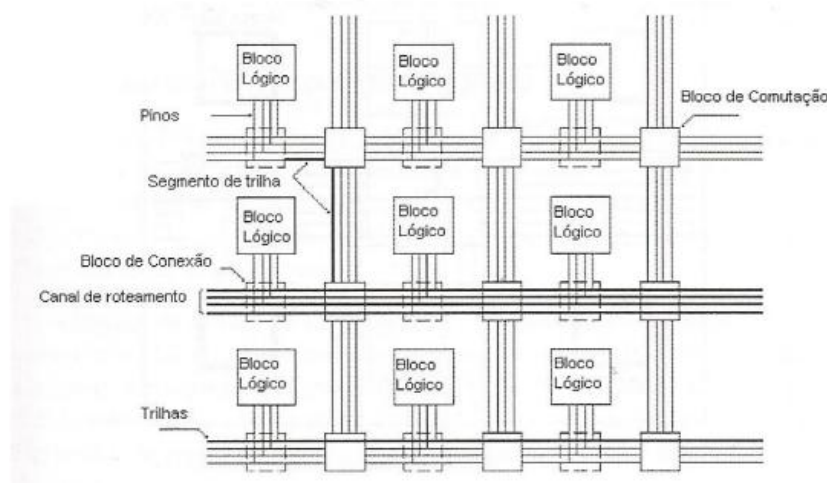


Figura 12—Arquitetura básica de roteamento de um FPGA

- Pinos: Entrada e Saída de blocos lógicos.
- Conexão: Ligação elétrica de um par de pinos
- Rede: Conjunto de pinos que estão conectados.
- Bloco de Comutação: Utilizado para conectar os segmentos da trilha.

- Segmentos da Trilha: Segmento não interrompido por chaves programáveis.
- Canal de Roteamento: Grupo de 2 ou mais 3 trilhas paralelas.
- Bloco de Conexão: Permite a conectividade das entradas e saídas de
- Um bloco lógico com os segmentos de trilhas nos canais.

### 3.4 FPGAS COMERCIAIS

Primeiro vieram PROMs e PLDs, matrizes de portas reconfiguráveis. Algumas patentes de equipamentos parecidos com FPGAs surgiram no final dos anos 80 e início dos anos 90 (Casselman, Page, Peterson). Os fundadores da Xilinx, Ross Freeman e Bernard Vonderschmitt, inventaram o primeiro FPGA comercial em 1985 – o XC2064.

Há vários fabricantes de FPGA, destacando-se a Altera e a Xilinx. Qualquer um destes fabricantes já possui FPGA com capacidades de integração que podem ir até cerca de 10 milhões de portas equivalentes, incluindo blocos integrados dedicados. A figura 13 mostra o mercado de FPGA no ano de 2005.

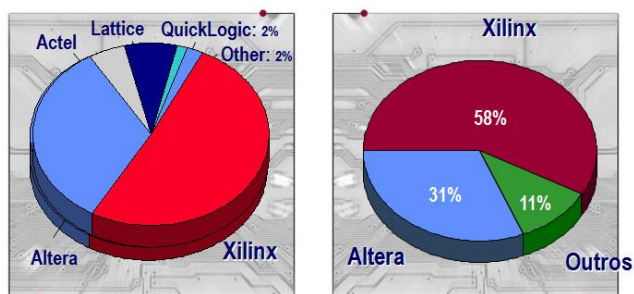


Figura 13—Mercado de FPGA no ano de 2005

Fonte: Xilinx Company reports

### 3.5 FPGA NA INDÚSTRIA

FPGA é utilizado em diversos setores da indústria, está presente em setores onde desempenho, paralelismo e tempo real são cruciais. Por se tratar de hardware, é possível realizar uma instrução por ciclo de *clock*, podemos ter vários cálculos rodando em paralelo e entregando o resultado no mesmo pulso de *clock* - algo completamente impossível para um software realizar. Basicamente sempre que alto processamento, paralelismo e tempo real forem necessários, a utilização de um FPGA deve ser considerada.

Para citar alguns mercados em que FPGA é forte:

- Setor elétrico, para processamento digital de sinal em tempo real;
- Setor de telecomunicação, em switches e roteadores de alto desempenho;
- Setor de multimídia, para processamento de imagens em tempo real e alto desempenho;
- Setor militar, dentre outros.

### 3.6 LINGUAGEM DE DESCRIÇÃO DE HARDWARE (VHDL)

Uma linguagem de descrição de circuito padronizada possibilita o intercâmbio de informações referentes ao comportamento de um circuito entre fabricantes, fornecedores de sistemas e empresas de projetos.

O *Hardware Description Language* (VHDL) é uma notação formal para uso em todas as fases de criação de sistemas eletrônicos, suporta o desenvolvimento, verificação, síntese e análise de projetos de hardware; a comunicação de hardware e dados de projeto; e a manutenção, modificação, e aquisição de hardware adaptado da norma (IEEE Std 1076, 2000).

VHDL é uma forma de se descrever, através de um programa, o comportamento de um circuito ou componente digital que será executado por um (simulador) software. Um sistema descrito em linguagem de *hardware* pode ser implementado em um dispositivo programável, permitindo assim o uso em campo do seu sistema, tendo a grande vantagem da alteração do código a qualquer momento.

### 3.6.1 Níveis de abstração e descrição

A linguagem VHDL permite dividir o sistema em diferentes níveis de abstração: nível de sistema, nível de transferência entre registradores (*RT level*), nível lógico e nível de circuito. Permite três diferentes domínios de descrição: comportamental, estrutural e físico.

- Nível de sistema:

descrição comportamental: *algoritmos*

descrição estrutural: *processadores e memórias*

descrição física: *boards e chips*

- Nível RT:

Descrição comportamental: *transferências entre registradores*

Descrição estrutural: *registradores, unidades funcionais*

Descrição física: *chips e módulos*

- Nível Lógico:

Descrição comportamental: *equações booleanas*

Descrição estrutural: *gates e flip-flops*

Descrição física: *módulos e células*

- Nível de Circuito:

Descrição comportamental: *funções de transferência*

Descrição estrutural: *transistores e conexões*

Descrição física: *células e segmentos do circuito*

### 3.6.2 Componentes do VHDL

É fundamental, para todo e qualquer sistema, uma interface com o mundo externo. Em VHDL esta interface é chamada *entidade*. Para se atingir a funcionalidade desejada, os dados devem sofrer transformações dentro do sistema. Esta parte interna do sistema responsável pelas transformações dos dados é chamada de corpo ou arquitetura. Para definir quais implementações serão utilizadas no projeto, usamos o recurso da configuração. Alguns sistemas necessitam de funcionalidades adicionais, que são conhecidas como *biblioteca*.

Segundo a norma IEEE (IEEE Std 1076, 2000), a entidade do projeto é a abstração de hardware primário em VHDL. Ela representa uma parte de um desenho de hardware que possui entradas e saídas bem definidas e executa uma função bem definida. A entidade pode representar todo um sistema, um subsistema, uma placa, um chip, uma célula macro, uma porta lógica, ou qualquer nível de abstração entre eles. A configuração pode ser usada para descrever a forma como as entidades são colocadas juntas para formar um projeto. A norma também diz que uma entidade de criação pode também ser descrita em termos de componentes interligados. Cada componente de um projeto (entidade) pode ser ligada a uma entidade de nível mais baixo de criação, de modo a definir a estrutura ou funcionamento desse componente.

A Decomposição sucessiva de uma entidade em componentes e os componentes de ligação em outras entidades de design que podem ser decompostas de igual modo resultam em uma hierarquia de entidades representando um projeto completo. Essa coleção de entidades de projeto é chamada de *hierarquia de hardware*. As ligações necessárias para identificar uma hierarquia do hardware podem ser especificadas em uma configuração da entidade de nível superior na hierarquia. Esta disposição

descreve a maneira pela qual as entidades e configurações são definidas. A entidade é definida por uma declaração de entidade, em conjunto com um corpo (arquitetura) correspondente.



## **4FPGA NAS FUNÇÕES CRÍTICAS DE SEGURANÇA NO LABIHS**

Este capítulo tem como objetivo apresentar o funcionamento do simulador do Laboratório de Interfaces Homem-Sistema (LABIHS) mais especificamente sobre a Interface das Funções Críticas de Segurança, e apresentar o funcionamento do *Quartus* que dispõe de mecanismos para compilar o projeto. Para um melhor entendimento deste capítulo também são abordados os conceitos de sala de controle digital de um reator nuclear e a sala de controle digital do simulador do LABIHS.

### **4.1 SALAS DE CONTROLE DIGITAL**

Uma sala de controle contém os sistemas e as informações necessárias para o controle das condições operacionais de uma planta industrial, de modo a assegurar o seu funcionamento e desligamento confiável e seguro, em situações normais e de acidentes (ISO 11064, 2002).

As salas de controle digital de reatores nucleares são constituídas por um arranjo de sistemas e equipamentos, onde os operadores monitoram, controlam e intervêm no processo. Os operadores realizam na sala de controle procedimentos relativos à partida e parada do reator nuclear, emergência, sistema de alarmes, sistema de comunicação, sistema de controle, sistema de segurança e verificam diagnóstico de falhas. Os sistemas são informatizados, com grande redundância e interconectividade, além do alto grau de confiabilidade através de várias interfaces gráficas e estações de monitoramento. Essas estações precisam estar dispostas de modo que auxiliem os operadores em seus manuseios, tanto para operações rotineiras quanto para prevenções de acidentes.

#### 4.1.1 Sala de controle do simulador LABIHS

O simulador do Laboratório de Interfaces Homem-Sistema (LABIHS) localizado na Divisão de Engenharia Nuclear (DENN) do Instituto de Engenharia Nuclear, IEN/CNEN, foi desenvolvido em conjunto com o *Korean Atomic Energy Research Institute* (KAERI). É um simulador compacto de um reator nuclear do tipo PWR (*Pressurized water reactor*), baseado nas plantas de referência Kori 3&4. A sala de controle consiste de uma rede de computadores tipo PC, que funcionam como terminais de uma estação de trabalho HP 3700, na qual opera o simulador compacto.

O simulador é constituído essencialmente de cinco partes. A primeira é o programa de modelagem matemática da usina nuclear, programado em Fortran, que contém em seu código a lógica do funcionamento da usina. A segunda parte é a memória compartilhada programada em C/C++, que tem como principal função armazenar as variáveis processadas pelo programa de modelagem matemática e disponibilizá-las para leitura e escrita, por outros programas. A terceira parte é a interface gráfica programada em C/C++ com bibliotecas ILOG, utilizando o software *HSI Builder* para a criação de suas telas e do programa *ILOG Views Studio* para a criação dos objetos gráficos utilizados na criação das telas. A quarta parte é o programa de controle do instrutor programado em C/C++, que controla a execução/interrupção do programa de modelagem matemática, salva/carrega/altera o estado da usina simulada e é capaz de inserir falhas com tempo programado na simulação para testar a reação dos operadores. A quinta parte é a base de dados, que contém e disponibiliza dados estáticos para os programas, como por exemplo, os necessários na inicialização do programa de modelagem matemática. Todas as cinco partes que compõem o simulador são executadas na estação de trabalho HP, que roda o sistema operacional HP-UX multiusuário. O grupo de operação da sala de controle do simulador é constituído por três operadores: operador do primário, operador do secundário e um supervisor. Cada operador controla e monitora os sistemas sob sua responsabilidade, através de três telas coloridas de computador do tipo LCD de 18 polegadas, associadas com um teclado e um mouse. A operação do simulador é feita através da navegação nessas telas coloridas, que representam os principais

sistemas do reator nuclear PWR de três *loops*. O simulador apresenta a visão geral da condição de operação da planta em três televisores de 52 polegadas.

Estes televisores têm como finalidade propiciar ao operador uma visão integrada do funcionamento do reator. Em uma sala anexa à sala de operação atua o instrutor, que programa os eventos que serão simulados.

O controle e monitoração do simulador são realizados através dos sistemas apresentados nas seguintes telas: tela do sistema de refrigeração do reator; tela do sistema de controle químico e volumétrico; tela do sistema de remoção do calor residual; tela do sistema de vapor principal e sistema da turbina; tela do sistema de água de alimentação; tela do sistema do condensador; tela do sistema elétrico; tela do sistema de controle das barras do reator; tela do sistema de controle da reatividade; tela com o arranjo das barras de controle e desligamento; tela com a descrição das mensagens de alarme; tela de anúncio alarme 1; tela de anúncio alarme 2; tela do status dos permissivos; tela com os gráficos representando a tendência das variáveis e tela de *overview* da planta nuclear.

A figura 14 apresenta uma das telas de operação do LABIHS. A identificação do nome do sistema está localizada na parte superior de cada tela. A interface gráfica do sistema está posicionada na parte central de cada tela. Existem cinco modos de navegação entre as telas. O primeiro modo possibilita a navegação entre os principais sistemas e é composto por dez teclas, situadas na parte superior direita da tela. O segundo possibilita a navegação entre os principais sistemas e está situado na parte inferior da tela. O terceiro é realizado através de duas teclas que apresentam o histórico das telas acessadas e a última tela apresentada, ou seja, teclas *HISTORY* e *PREVIOUS*. O quarto modo permite navegar entre as telas clicando no *link* que conecta uma tela de um sistema com a tela de outro sistema. E o último modo de navegação é feito através da digitação do nome da tela requerida. Esta digitação é realizada no espaço reservado na tela para este comando. Este espaço está localizado no lado direito inferior da tela (Teixeira et.al, 2007).

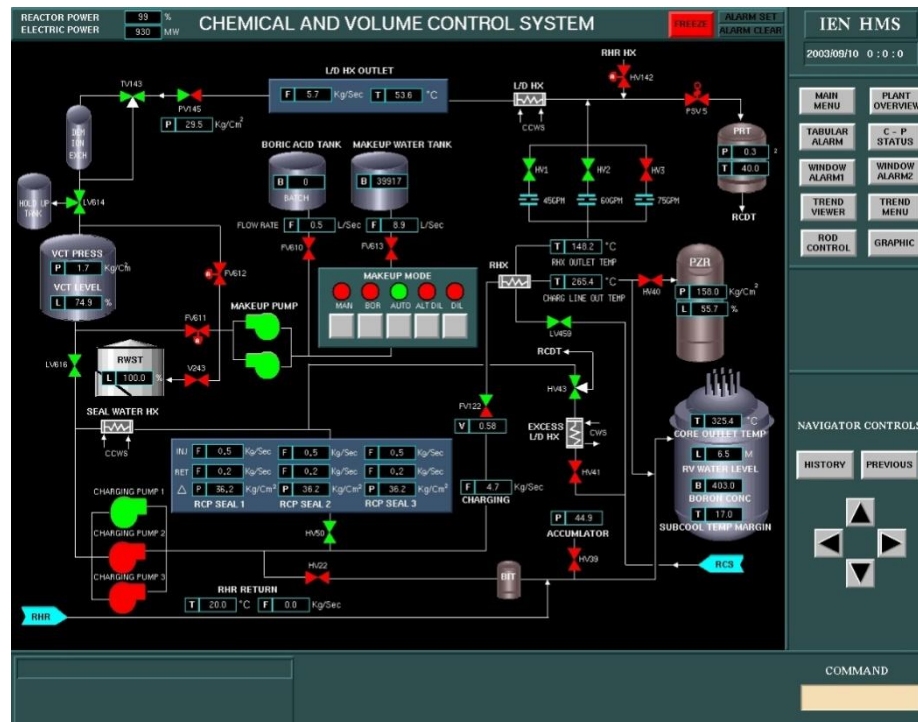


Figura 14—Uma tela de operação do simulador do LABIHS

#### 4.1.2 Interface humano–sistema dasfunções crítica de segurança

Uma interface é projetada de acordo com as estratégias de controle a serem seguidas pelos operadores. Ela os auxilia na realização da tarefa, informando, alertando e respondendo ao usuário durante suas atuações. Podem apresentar implicações significativas para a segurança da planta, pois influenciam na atividade dos operadores, afetam o modo como os operadores recebem informações relacionadas com o status dos principais sistemas e devem atender aos requisitos necessários para que os operadores supervisionem os principais parâmetros da planta.

A interface humano-sistema (IHS) fornece informações do ambiente e as tarefas dos operadores. Em relação às funções críticas de segurança faz a monitoração contínua do status de segurança da planta em situações de operação e de emergência

através da monitoração de um conjunto de arranjos lógicos de parâmetros (árvores de estados) que as compõem, pois durante situações de emergência, o operador deve controlar as FCS periodicamente e identificar possíveis caminhos de sucesso.

A interface (IHS) consiste em três níveis hierárquicos de informação: a árvore de estados que inclui todas as funções críticas de segurança; estrutura de fluxo do caminho do sucesso; e o link para a função correspondente, a restauração relacionada com o caminho de sucesso.

A Figura 15 apresenta uma visão geral da sala de controle do simulador do LABIHS, onde cada operador está monitorando as telas das FCS.

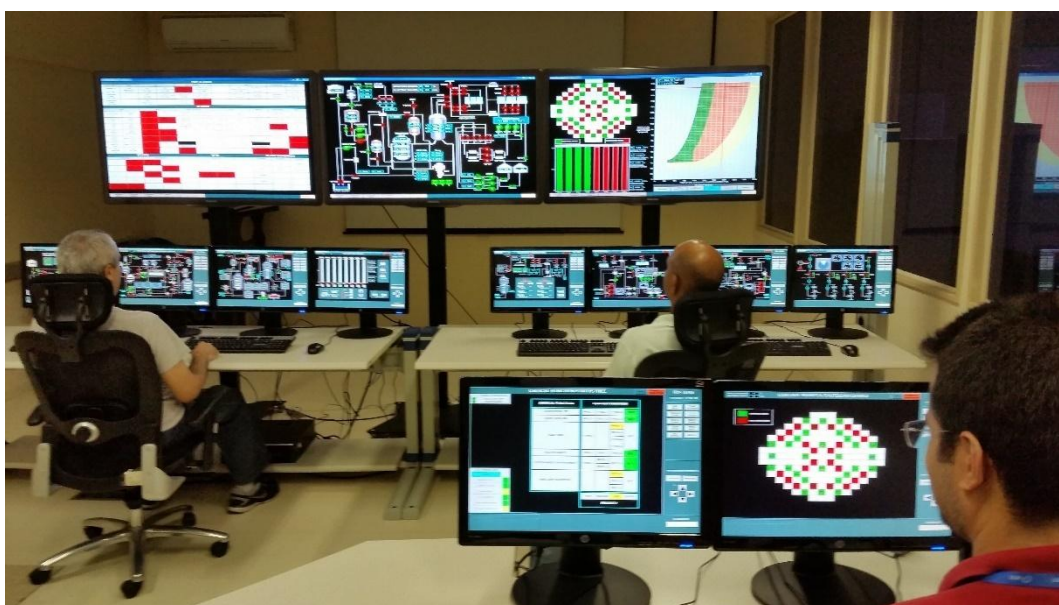


Figura 15—Visão geral da sala de controle do simulador LABIHS

A Figura 16 apresenta a tela de operação principal do simulador LABIHS, com os botões de navegação para todo o sistema de operação da usina, onde foi incluído nesta tela um botão do navegador para a árvore status da FCS, na parte inferior central da tela. Ao clicar neste botão o sistema irá abrir a tela principal do sistema das FCS.

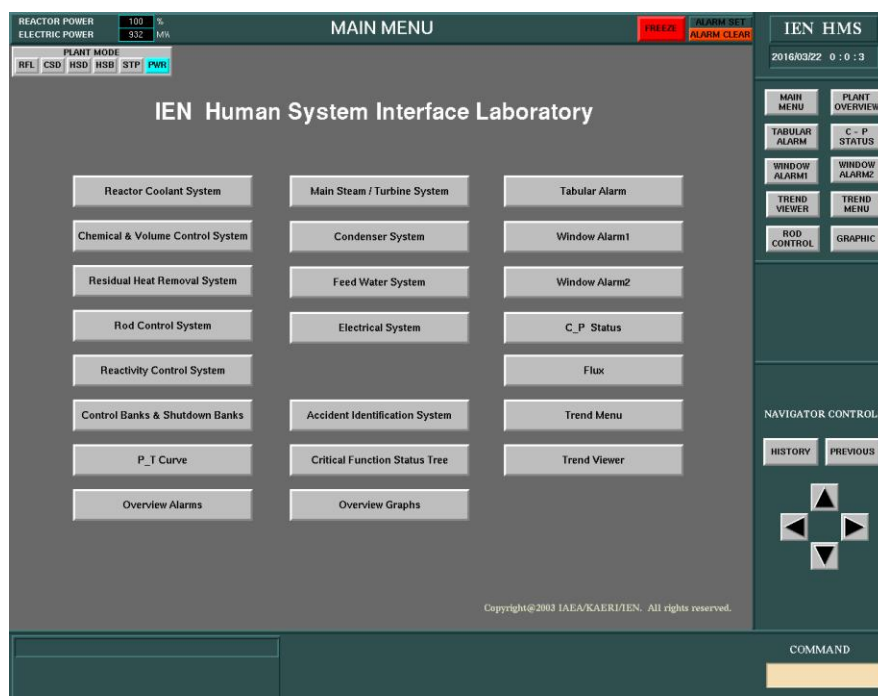


Figura 16–Tela de operação principal do simulador LABIHS

A figura 17 mostra a tela principal das FCS, que apresenta na parte superior do lado esquerdo as condições de entrada (desligamento do reator e / ou de injeção de segurança acionada) para atuação do sistema de monitoração das FCS. Os seis FCS são apresentados nesta tela com o estado correspondente de cada um, isto é, o grau de prioridade de cada FCS.

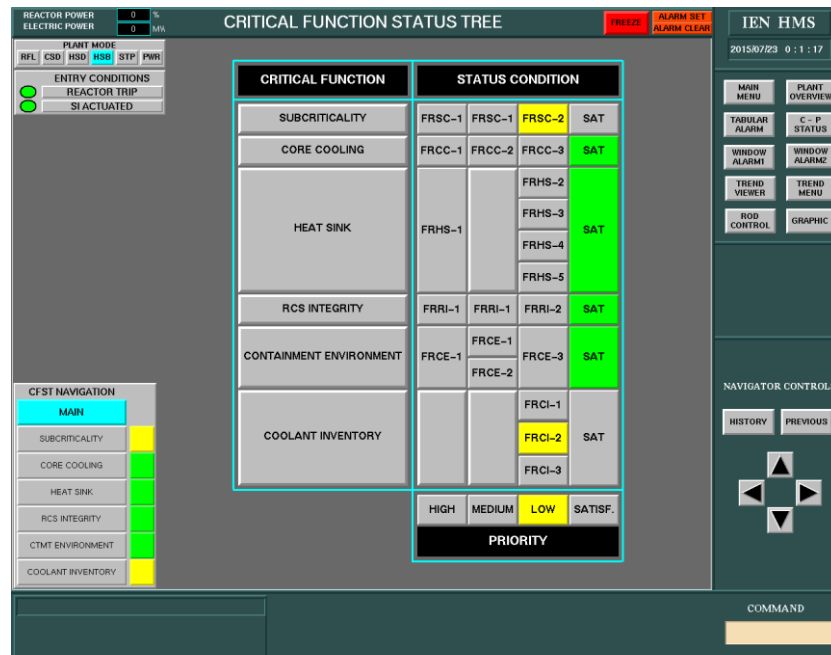


Figura 17–Tela principal das FCS do simulador LABIHS

A figura 18 apresenta como exemplo a tela de monitoração da função crítica subcriticalidade do simulador do LABIHS.

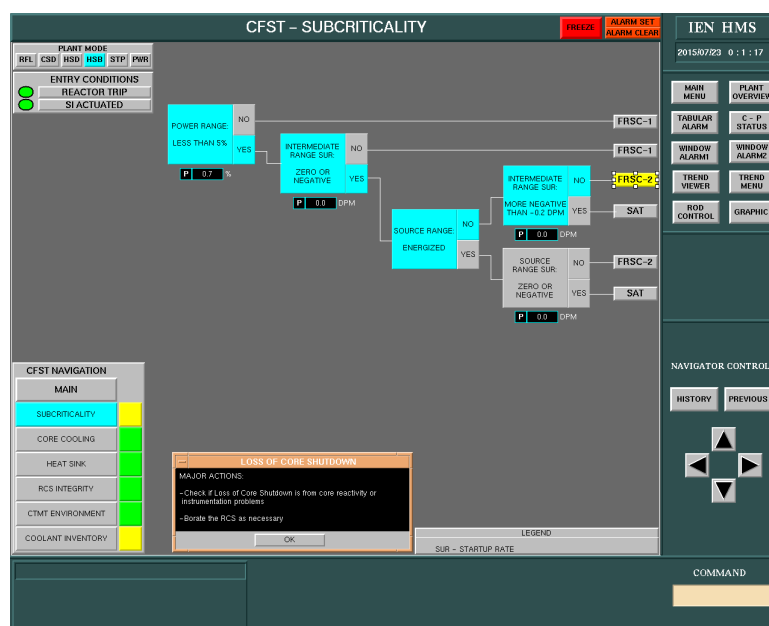


Figura 18–Tela da FCS subcriticalidade do LABIHS.

As telas foram desenvolvidas com base em NUREG-0700, usando o *software* de construção de interfaces iLog Estúdio e a lógica da árvore foi implementado em linguagem C.

Para compilar os códigos foi utilizado o simulador *Quartus* que será abordado no próximo tópico.

#### 4.5 SIMULADOR QUARTUS

O Quartus<sup>(R)</sup> II é uma ferramentas da Altera, utilizada na descrição, compilação, simulação e programação de sistemas digitais implementados através de um dispositivo lógico programável. Como mostrado na figura 19, o projeto de um Sistema Digital (SD) pode ser dividido nas seguintes etapas: entrada de dados do circuito, compilação, simulação e programação de um dispositivo lógico programável.

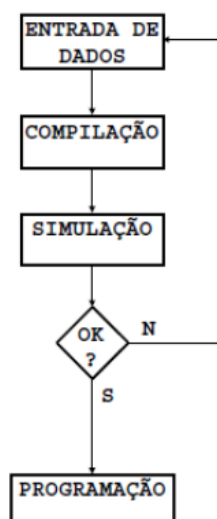


Figura 19– Metodologia de Projeto de SD com o Quartus<sup>(R)</sup> II.



A entrada de dados pode ser realizada de três maneiras distintas:

- Diagrama Lógico (Captura Esquemática): neste modo, o projetista tem duas opções para descrever o projeto. Na primeira opção, o QUARTUS II permite a importação de arquivos construídos com outras ferramentas. Na segunda opção, que é a mais utilizada, o Quartus<sup>(R)</sup> II disponibiliza um aplicativo denominado Editor Gráfico (*Block Diagram/Schematic File*). Os símbolos utilizados no diagrama lógico podem ser obtidos de uma biblioteca padrão, ou podem ser gerados pelo próprio projetista, a partir de outros projetos já implementados, permitindo a descrição de forma hierárquica de um sistema digital. A biblioteca padrão do Editor Gráfico possui símbolos que representam todos os circuitos integrados da família 74xx, permitindo que um projetista familiarizado com estes componentes descreva o sistema digital de maneira mais rápida e eficiente. É importante salientar que estes símbolos apenas implementam as funções lógicas de um 74xx em uma EPLD (*Erasable Programmable Logic Device*), não possuindo nenhuma característica física dos CIs comerciais (pinagem, tempos de propagação, consumo, etc.), pois estas últimas serão determinadas pelo tipo de EPLD na qual o sistema será implementado. Além destes símbolos que representam a família 74xx, o Quartus<sup>(R)</sup> II também possui bibliotecas com funções lógicas básicas (flip-flop, portas lógicas, etc.) e avançadas (contadores especiais, microprocessadores, etc.), sendo que estas últimas bibliotecas devem ser adquiridas de terceiros.
- Arquivo Texto: este modo permite a descrição de um sistema digital através de linguagem de descrição de hardware (HDL). O Quartus<sup>(R)</sup> II aceita três tipos de HDLs: AHDL, que é uma linguagem proprietária da ALTERA; Verilog e VHDL, que são linguagens padronizadas pelo IEEE, utilizadas mundialmente. O Quartus<sup>(R)</sup> II possui editores de scripts para diversos formatos (Texto, VHDL, AHDL, TCL, Verilog e outros) para apoiar essa forma de descrição do SD.
- Formas de Onda – este modo permite que o projetista descreva o comportamento de um sistema digital através do desenho das formas de onda na entrada e na saída do mesmo. Este recurso é utilizado apenas quando o

SD é simples (por exemplo, um contador síncrono). A descrição é feita através de um Editor de Formas de Ondas (*Vector Waveform File*).

- Na compilação, o projetista determina qual será a EPLD que deverá implementar o sistema digital e o Quartus(R) II procura seguir esta diretriz. Caso não consiga, é fornecida uma mensagem de erro, e projetista pode optar por escolher outra EPLD para implementar o seu sistema, ou deixar que a ferramenta implemente o projeto em mais de uma EPLD do tipo escolhido. A compilação também é responsável pela geração de todos os arquivos necessários à simulação e programação da EPLD.
- Na simulação, é possível descrever cada uma das formas de onda de entrada do SD e observar as formas de onda de saída, geradas pela ferramenta. Com isto o projetista consegue verificar o funcionamento do SD antes de implementá-lo fisicamente, corrigindo eventuais erros que possam ter ocorrido no projeto. Para a simulação também é utilizado o Editor de Formas de Ondas.
- Na programação, os arquivos gerados pela compilação são transferidos para a EPLD, programando a mesma para funcionar de acordo com o projeto descrito anteriormente. Esta transferência pode ser feita através de programadores de componentes ou cabos especiais, conectados ao PC.

## **SIMPLEMENTAÇÃO DAS FUNÇÕES CRÍTICAS DE SEGURANÇA USANDO FPGA**

Neste trabalho, todo desenvolvimento das atividades foi realizado no software Quartus. Para realizar a análise das FCS foi utilizado o esquemático (FPGA), que serve para descrever a lógica da árvore de estado da FCS de Resfriamento do núcleo e Transferência de Calor.

Após a verificação através da simulação de que o circuito implementado no FPGA está correto, é desenvolvido o VHDL para a implementação no chip.

Os blocos da árvore de estado da FCS realizam a comparação lógica de uma ou mais variáveis que afetam a segurança das instalações. Essas variáveis são em comparação com os valores pré-determinados e o resultado da comparação conduzirá à correspondente Função de Restauração (FR) a ser usada pelos operadores para deixar a planta em condição de segurança.

Nesta seção será apresentada a árvore de estado das FCS, resfriamento do núcleo, e transferência de calor. Em seguida é feita uma descrição de cada estado da árvore.

### **5.1 AVALIAÇÃO DA FSC: RESFRIAMENTO DO NÚCLEO**

O sistema de resfriamento de emergência do núcleo assume a tarefa de resfriar o núcleo do reator nas paradas da usina e também na hipótese de acidentes com perda de refrigerante. Em casos de acidentes com pequenas perdas de refrigerante, atuam as bombas de alta pressão do subsistema de injeção de segurança, para compensar as pequenas perdas e manter a pressão do sistema de refrigeração do reator. Durante a fase final do processo de resfriamento e despressurização do sistema de refrigeração do reator, nas paradas da usina, e em caso de acidente com

grande perda de refrigerante e despressurização do sistema de refrigeração do reator, atuam as bombas do subsistema de remoção residual.

A figura 20 apresenta a árvore de estado para a FCSde Resfriamento do Núcleo:

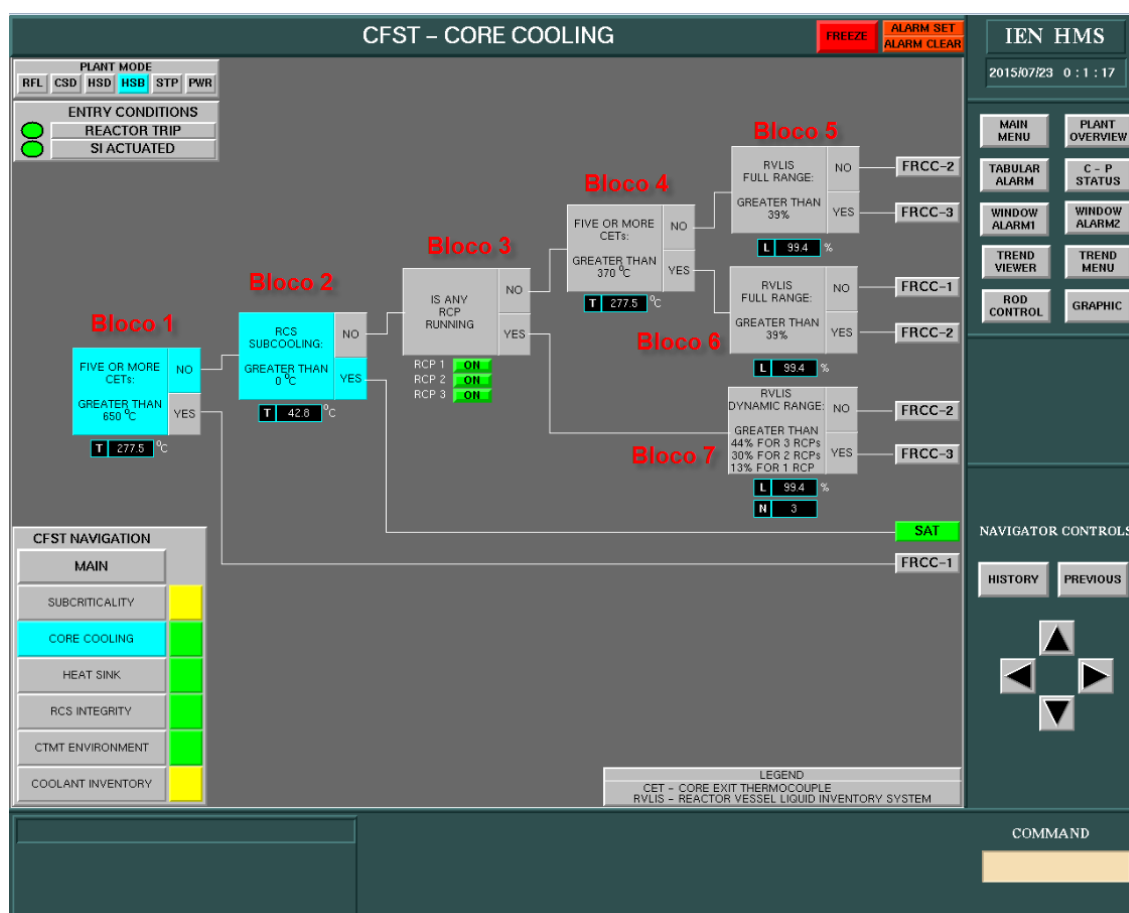


Figura 20—Numeração dos blocos da FCS Resfriamento do Núcleo

A árvore de estado da FCS referente ao Resfriamento do Núcleo possui sete blocos/estados:

**Primeiro bloco de Decisão:** Temperatura de cinco ou mais termopares à saída do núcleo: maior que 650 °C.

**Descrição:** Neste bloco é verificado se cinco ou mais termopares localizados junto às saídas de água do núcleo do reator medem temperaturas superiores a 650 °C. Caso isto ocorra, a temperatura da água no interior do núcleo está muito elevada, o que pode levar a um acidente de severo na planta.

**Segundo bloco de Decisão:** Margem de subresfriamento do sistema de refrigeração do reator: maior que 0°C.

**Descrição:** É verificado se a margem de subresfriamento do circuito primário (curva PT– Pressão versus Temperatura) é positiva. Em caso contrário, podem ser formadas bolhas de vapor no circuito primário levando as bombas de circulação da água do circuito primário à cavitação. A cavitação é um fenômeno que ocorre em um líquido quando a velocidade de escoamento é tão elevada que a pressão cai abaixo da pressão de vapor, o que provoca vaporização e o consequente aparecimento de bolhas no interior do fluxo.

**Terceiro bloco de Decisão:** Alguma das bombas de circulação de água do primário está operando.

**Descrição:** É verificado se pelo menos uma bomba de circulação de água do primário está operando. Se sim, vá para o sétimo bloco. Caso contrário vá para o quarto bloco.

**Quarto bloco de Decisão:** Temperatura de cinco ou mais termopares à saída do núcleo: maior que 370°C

**Descrição:** Neste bloco é verificado se cinco ou mais termopares localizados junto às saídas de água do núcleo do reator medem temperaturas superiores a 370 °C. Caso isto ocorra, a temperatura da água no interior do núcleo está muito elevada, o que pode levar a um acidente de severo na planta e vá para o quinto bloco. Se não estiver, a temperatura está na faixa normal e vá para o sexto bloco.

**Quinto bloco de Decisão:** Sistema de inventário do líquido (água) do reator faixa total: maior que 39%.

**Descrição** Neste bloco é verificado se o nível de água no vaso do reator é menor que 39%.

**Sextobloco de Decisão:** Sistema de inventário do líquido (água) do reator faixa total: maior que 39%

**Descrição:** Neste bloco é verificado se o nível de água no vaso do reator é menor que 39% e, então, o núcleo do reator está descoberto e foi alcançada uma condição inadequada de resfriamento do núcleo.

**Sétimo bloco de Decisão:** Sistema de inventário do líquido (água) do reator faixa dinâmica maior que:

- 44% para três bombas de refrigeração do reator funcionando.
- 30% para duas bombas de refrigeração do reator funcionando.
- 13% para uma bomba de refrigeração do reator funcionando.

**Descrição:** Neste bloco é verificado o inventário (nível) de água dentro do vaso do reator:

- Para três RCPs funcionando o nível deve ser maior que 44%.
- Para duas RCPs funcionando o nível deve ser maior que 30%.
- Para uma RCP funcionando o nível deve ser maior que 13%.

### **Função de Restauração da FCS Resfriamento do Núcleo:**

O estado que indica o maior grau de ameaça à FCS é indicado pela cor vermelho na FCS Resfriamento do Núcleo é representado por (FRCC-1 – *RED*); o estado 2 indicado pela cor roxo (FRCC-2 – *PURPLE*), indica uma ameaça intermediária entre o estado 1 e o 3 ;o estado 3 indicado pela cor amarelo(FRCC-3 – *YELLOW*) é a

primeira indicação de que a FCS está sendo violada, o estado 4 indicado pela cor verde (SAT – GREEN), indica a condição de normalidade e não violação da FCS.

Após definida a árvore de falhas das FCS, cada bloco será nomeado para que possa ser identificado e inserido como uma entrada e saídano software.

A figura 21 descreve o esquemático da FCS referente ao Resfriamento do núcleo desenvolvido na ferramenta Quartus.

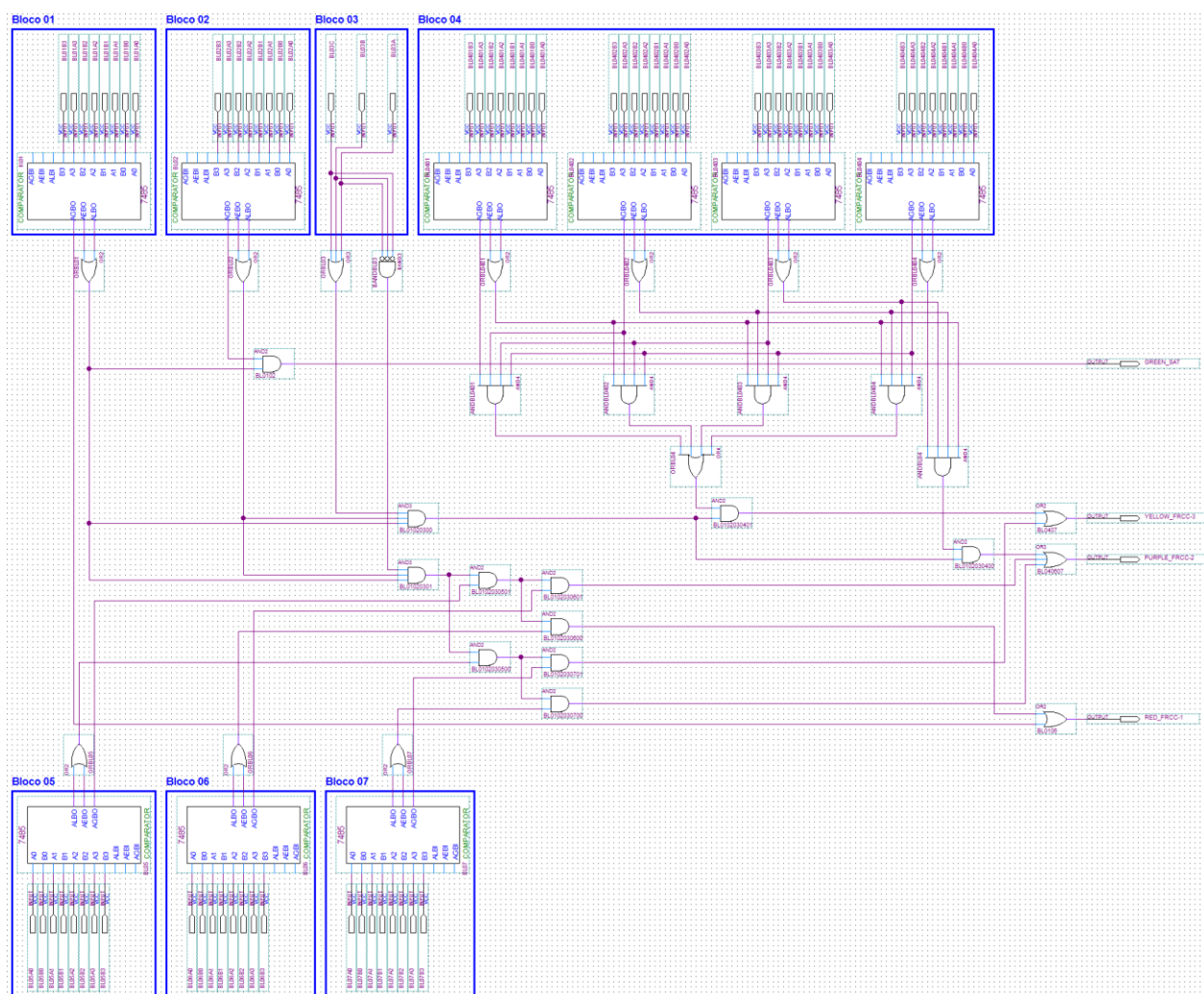


Figura21—Esquemático da FCS referente ao Resfriamento do núcleo

### 5.1.1 Descrição do esquemático da FCS Resfriamento do Núcleo

Para a descrição do esquemático da FCS Resfriamento do Núcleo foram utilizados, no total, nove comparadores. O resultado da comparação é expresso nas saídas ALBO (Menor), AEBO (Igual) e AGBO (Maior).

Para um melhor entendimento e visualização dos comparadores no esquemático, cada bloco combinacional foi nomeado como BL seguido do número do bloco correspondente e do comparador.

- O Comparador do Bloco 01 foi nomeado como BL01. As entradas do Comparador BL01 foram nomeadas como: BL01A0, BL01B0, BL01A1, BL01B1, BL01A2, BL01B2, BL01A3 e BL01B3.
- O Comparador do Bloco 02 foi nomeado como BL02. As entradas do Comparador BL02 foram nomeadas como: BL02A0, BL02B0, BL02A1, BL02B1, BL02A2, BL02B2, BL02A3 e BL02B3.
- No Bloco 03 o resultado não é obtido por um comparador. Sendo assim, não foi usado um componente Comparador para se obter o resultado. As entradas do Bloco 03 foram nomeadas como BL03A, BL03B e BL03C.
- Foram atribuídos aos Comparadores do Bloco 04 os seguintes nomes: BL0401, BL0402, BL0403 e BL0404.

As entradas do Comparador BL0401 foram nomeadas como: BL0401A0, BL0401B0, BL0401A1, BL0401B1, BL0401A2, BL0401B2, BL0401A3 e BL0401B3.

As entradas do Comparador BL0402 foram nomeadas como: BL0402A0, BL0402B0, BL0402A1, BL0402B1, BL0402A2, BL0402B2, BL0402A3 e BL0402B3.



As entradas do Comparador BL0403 foram nomeadas como: BL0403A0, BL0403B0, BL0403A1, BL0403B1, BL0403A2, BL0403B2, BL0403A3 e BL0403B3.

As entradas do Comparador BL0404 foram nomeadas como: BL0404A0, BL0404B0, BL0404A1, BL0404B1, BL0404A2, BL0404B2, BL0404A3 e BL0404B3.

- O Comparador do Bloco 05 foi nomeado como BL05. As entradas do Comparador BL05 foram nomeadas como: BL05A0, BL05B0, BL05A1, BL05B1, BL05A2, BL05B2, BL05A3 e BL05B3.
- O Comparador do Bloco 06 foi nomeado como BL06. Para as entradas do Comparador BL06 foram atribuídos os seguintes nomes: BL06A0, BL06B0, BL06A1, BL06B1, BL06A2, BL06B2, BL06A3 e BL06B3.
- O Comparador do Bloco 07 foi nomeado como BL07. Às entradas do Comparador BL07 foram atribuídos os seguintes nomes: BL07A0, BL07B0, BL07A1, BL07B1, BL07A2, BL07B2, BL07A3 e BL07B3.

Para facilitar a explicação e o entendimento serão usados apenas **A** e **B** nos exemplos como entradas em vez da nomenclatura atribuída a elas. O resultado final é uma combinação de resultados parciais e, partindo deste princípio, seguem as explicações do FPGA.

Com o intuito de facilitar a explicação e o entendimento, cada bloco terá seu texto explicativo.

- **Bloco 01**

**Desenvolvimento / Lógica:** se o resultado for menor ou igual na comparação a e b, segue para uma porta lógica *and* para combinar com o resultado do bloco 02 e se for maior, ativa-se a saída RED\_FRCC-1.

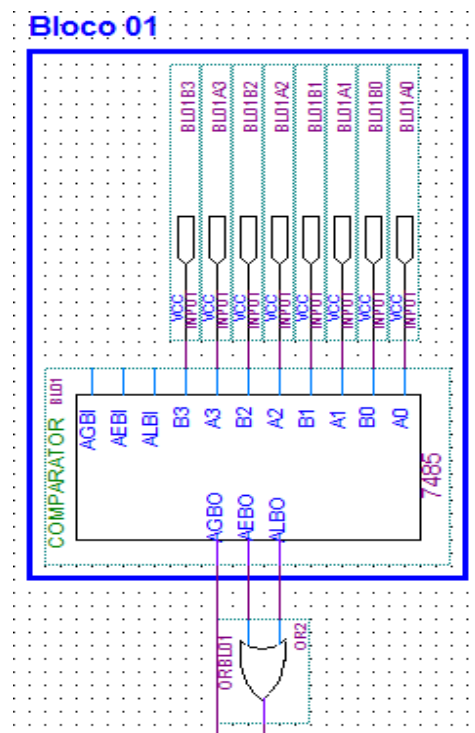


Figura 22–Bloco 1

- **Bloco 02**

**Desenvolvimento / Lógica:** se o resultado for menor ou igual na comparação a e b, segue para uma porta *and* para combinar com o resultado do bloco 03 e se for maior segue para uma porta *and* para gerar o resultado final (resultado do bloco 01 (menor ou igual) com o resultado do bloco 02 (maior)).

Se o resultado do bloco 01 for menor ou igual na comparação a e b, então, se o resultado do bloco 02 for maior na comparação a e b, ativa-se a saída GREEN\_SAT.

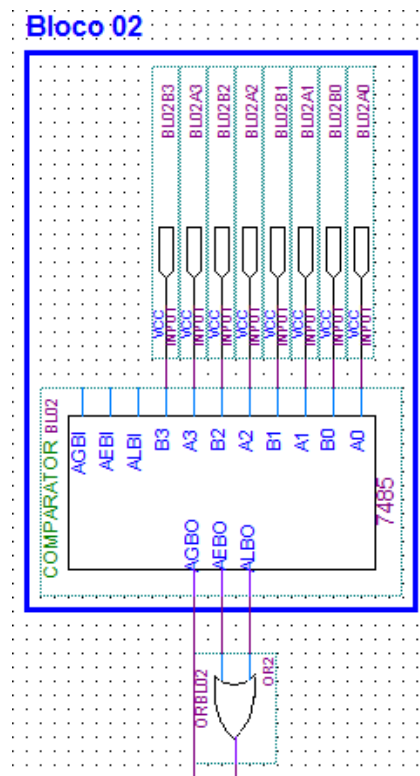


Figura 23–Bloco 2

- **Bloco 03**

**Desenvolvimento / Lógica:** se o resultado do bloco 03 for zero nas três RCPs, segue para uma porta *band* para combinar com o resultado do bloco 05 considerando o bloco 01 (menor ou igual) e bloco 02 (menor ou igual) e se for um em pelo menos uma RCP, segue para uma porta *and* para combinar com o resultado do bloco 04 considerando o bloco 01 (menor ou igual) e bloco 02 (menor ou igual).

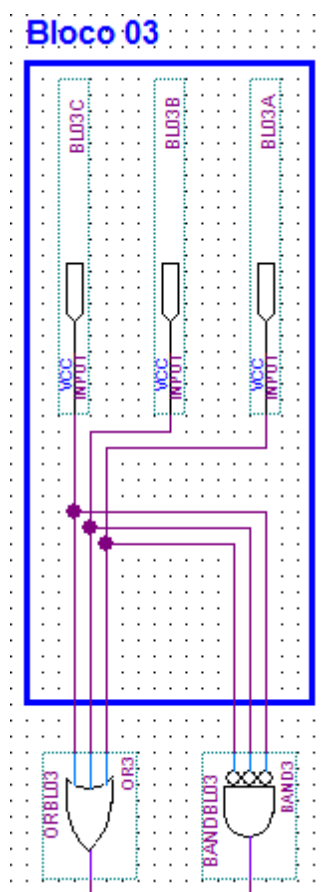


Figura 24—Bloco 3

- **Bloco 04**

**Desenvolvimento / Lógica:** se o resultado dos comparadores do bloco 04 for menor ou igual na comparação a e b em todos comparadores, segue para uma porta *and* para combinar com o resultado do bloco 01 (menor ou igual), bloco 02 (menor ou igual) e bloco 03 (igual a um em pelo menos uma RCP) para gerar o resultado final ativando-se a saídaPURPLE\_FRCC-2 e se for maior no comparador BL0404 ou BL0404 e BL0403 ou BL0404, BL0403 e BL0402 ou BL0404, BL0403, BL0402 e BL0401 segue para uma porta *and* para combinar com o resultado do bloco 01 (menor ou igual), bloco 02 (menor ou igual) e bloco 03 (igual a um em pelo menos uma RCP) para gerar o resultado final ativando-se a saídaYELLOW\_FRCC-3.

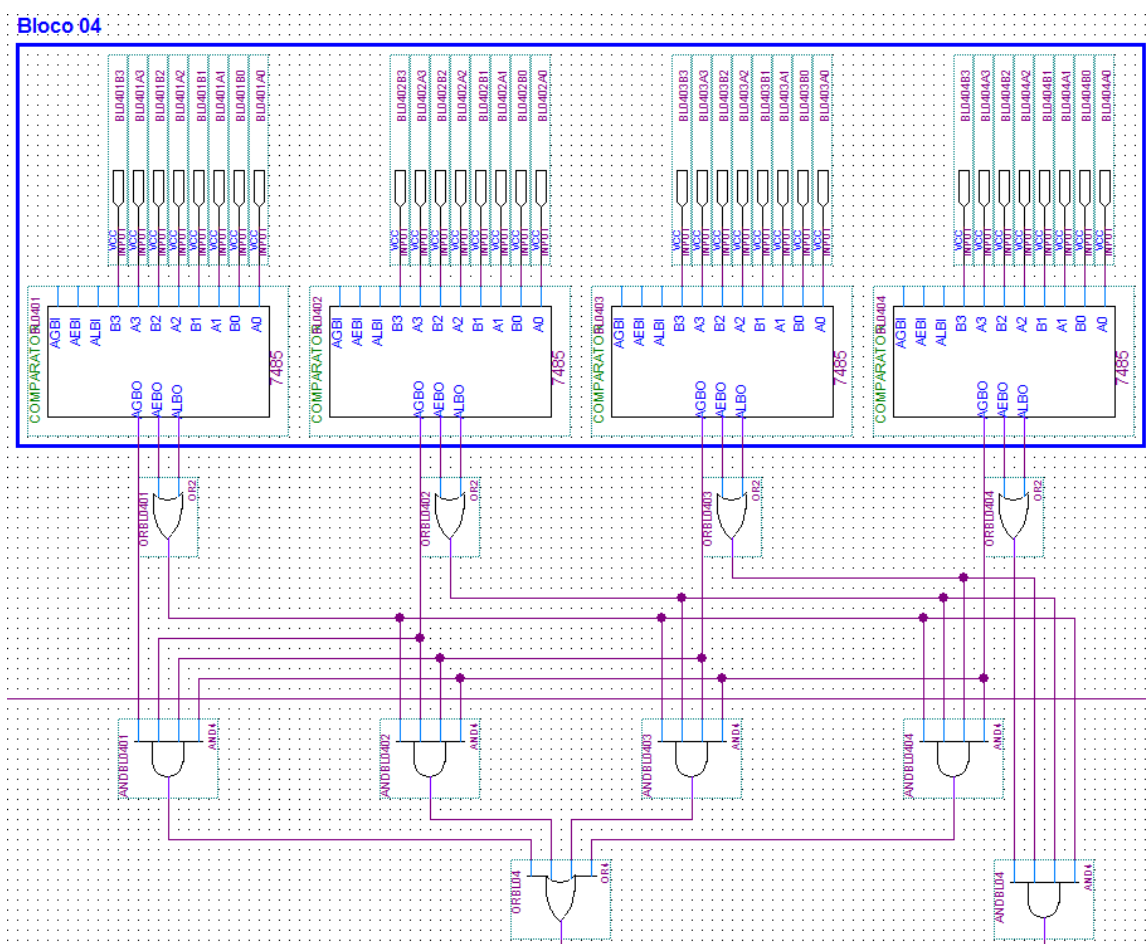


Figura 25—Bloco 4

- **Bloco 05**

**Desenvolvimento / Lógica:** se o resultado for menor ou igual na comparação a e b, segue para uma porta *and* para combinar com o resultado do bloco 07, considerando o bloco 01 (menor ou igual), bloco 02 (menor ou igual) e bloco 03 (igual a zero nos três RCPs) e se for maior segue para uma porta *and* para combinar com o resultado do bloco 06 considerando o bloco 01 (menor ou igual), bloco 02 (menor ou igual) e bloco 03 (igual a zero nas três RCPs.)

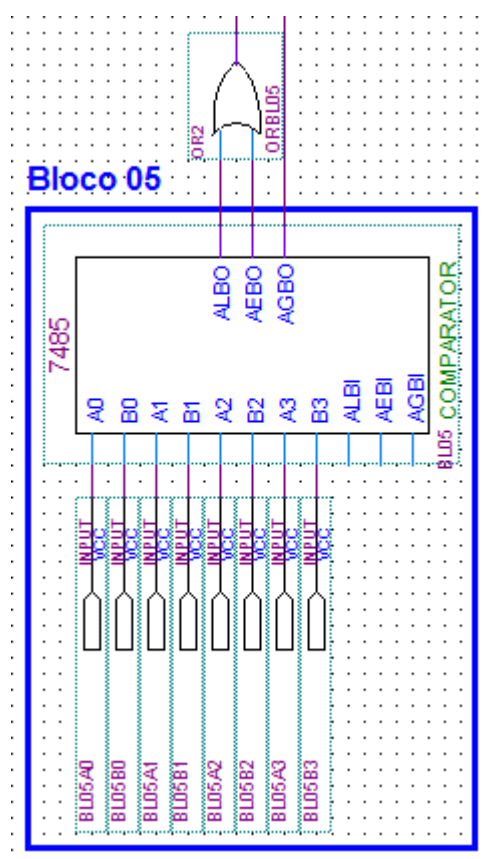


Figura 26–Bloco 5

- **Bloco 06**

**Desenvolvimento / Lógica:** se o resultado for menor ou igual na comparação a e b, segue para uma porta *and* para combinar com o resultado do bloco 01 (menor ou igual), bloco 02 (menor ou igual), bloco 03 (igual a um em pelo menos um rcp) e bloco 05 (maior) para gerar o resultado final ativando-se a saída red\_frcc-1 e se for maior, segue para uma porta *and* para combinar com o resultado do bloco 01 (menor ou igual), bloco 02 (menor ou igual), bloco 03 (igual a um em pelo menos um RCP) e bloco 05 (*maior*) para gerar o resultado final ativando-se a saída PURPLE\_FRCC-2.

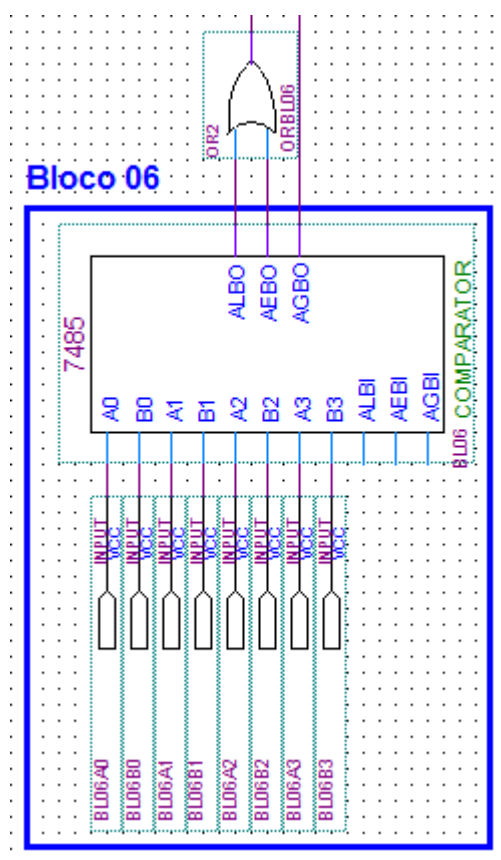


Figura 27–Bloco 6

- **Bloco 07**

**Desenvolvimento / Lógica:** se o resultado for menor ou igual na comparação a e b, segue para uma porta *and* para combinar com o resultado do bloco 01 (menor ou igual), bloco 02 (menor ou igual), bloco 03 (igual a um em pelo menos um RCP) e bloco 05 (*menor*) para gerar o resultado final ativando-se a saída PURPLE\_FRCC-2 e se for maior, segue para uma porta *and* para combinar com o resultado do bloco 01 (menor ou igual), bloco 02 (menor ou igual), bloco 03 (igual a um em pelo menos um RCP) e bloco 05 (*menor*) para gerar o resultado final ativando-se a saída YELLOW\_FRCC-3.

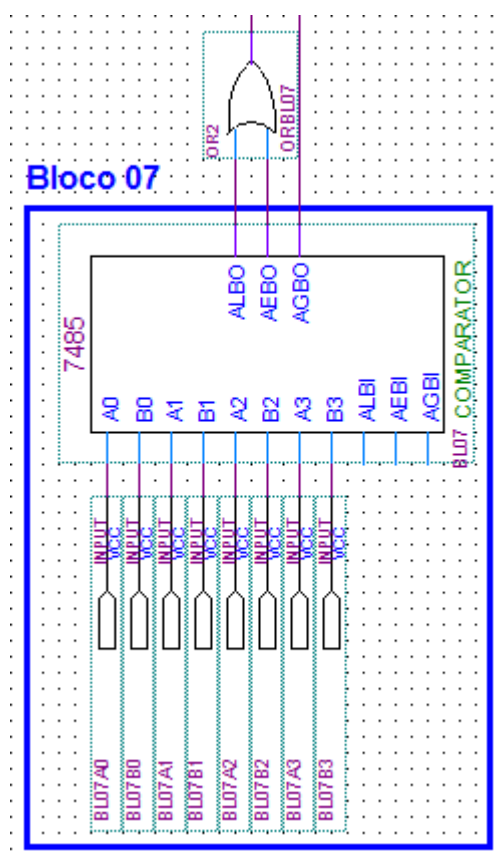


Figura 28– Bloco 7



### 5.1.2 Simulação FCSResfriamento do Núcleo

Para efeito de simulação, serão forçados os valores zero e um para demonstrar a explicação dos Blocos combinando os resultados parciais, para então gerar o resultado final.

Para facilitar o entendimento da simulação, foram agrupadas as entradas por comparador e os comparadores por blocos.

Na leitura da linha de cada comparador no simulador, entendem-se os quatro primeiros números como sendo A e os outros quatro como sendo B. Cada figura de simulação terá seu texto explicativo.

- Agrupamento das Entradas: No simulador do software Quartus temos a opção de agrupar dados para facilitar a visualização das simulações.

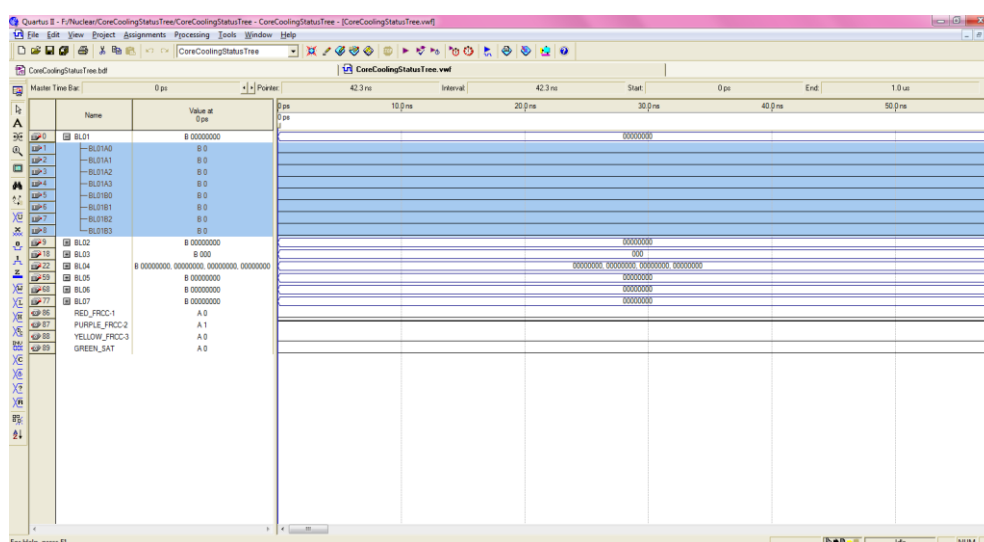


Figura 29—Agrupamento das Entradas

- Agrupamento dos Comparadores: A figura 30 esta descrita o agrupamento dos Comparadores do bloco 1.

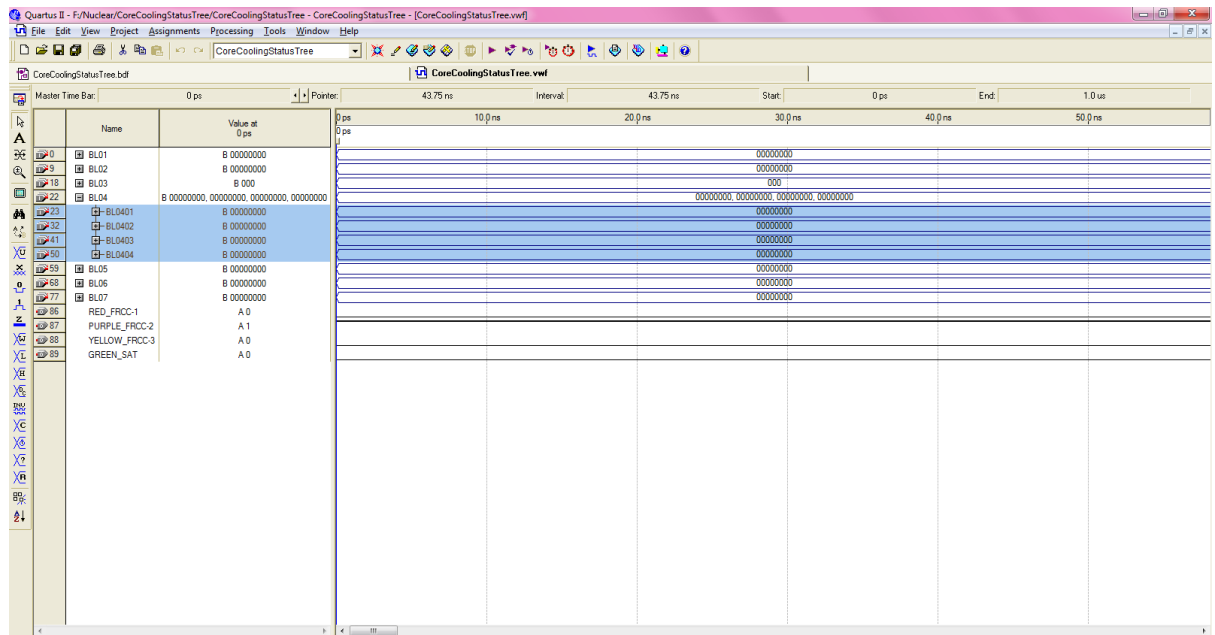


Figura 30—Agrupamento dos Comparadores do bloco 1.

- Tendo em vista o resultado de  $a > b$  no bloco 01 ativa-se a saída RED\_FRHS-1.

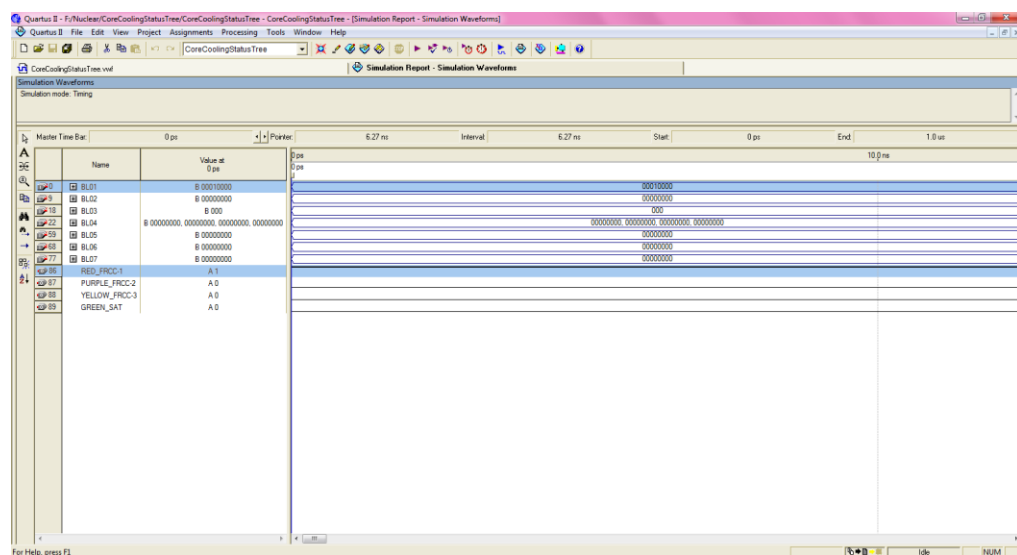


Figura 31—Simulação do resultado RED\_FRHS-1.

- Tendo em vista o resultado de  $a \leq b$  no bloco 01 combinado com o resultado de  $a > b$  no bloco 02 ativa-se a saída GREEN\_SAT.

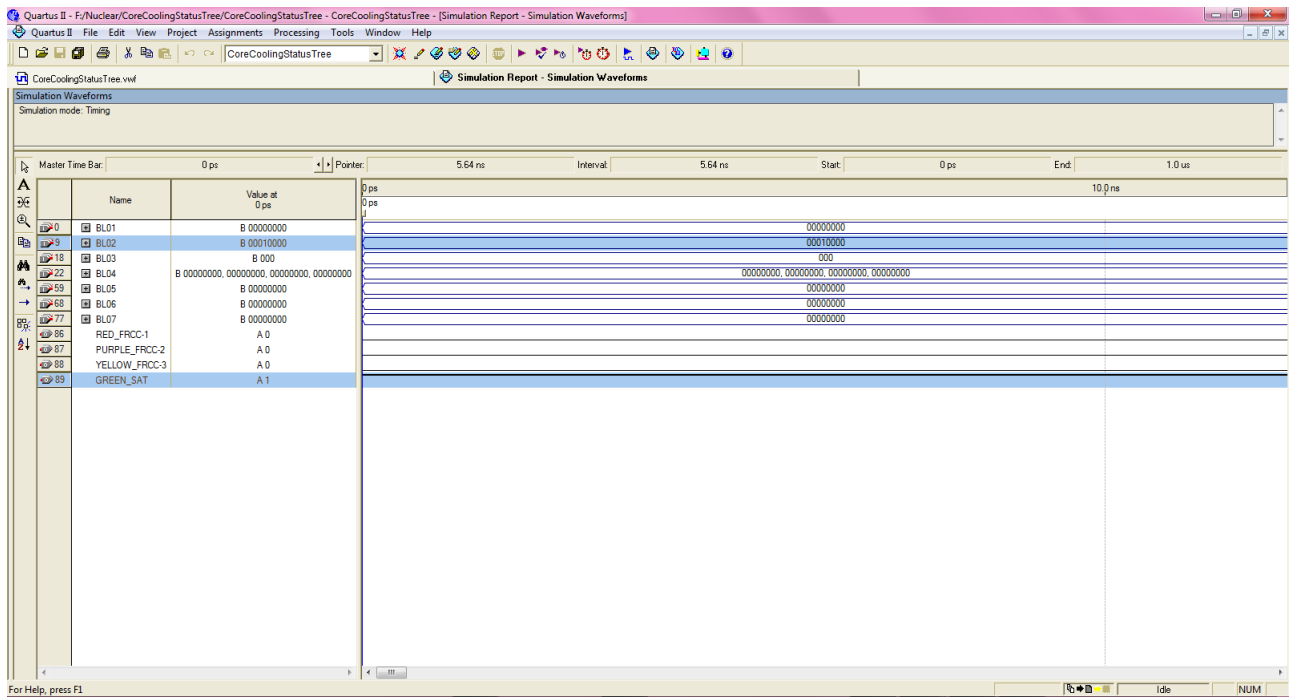


Figura 32—Simulação do resultado GREEN\_SAT

- Tendo em vista o resultado de  $A \leq b$  no bloco 01,  $a \leq b$  no bloco 02, pelo menos uma RCP rodando no bloco 03 combinado com  $a > b$  no BL0404 ou  $a > b$  no BL0404 e no BL0403 ou  $a > b$  no BL0404, BL0403 e no BL0402 ou no BL0404, BL0403, BL0402 e no BL0401 ativa-se a saída YELLOW\_FRCC-3 e se combinado com  $a \leq b$  no BL0404, BL 0403, BL0402 e BL0401 ativa-se a saída PURPLE\_FRCC-3.

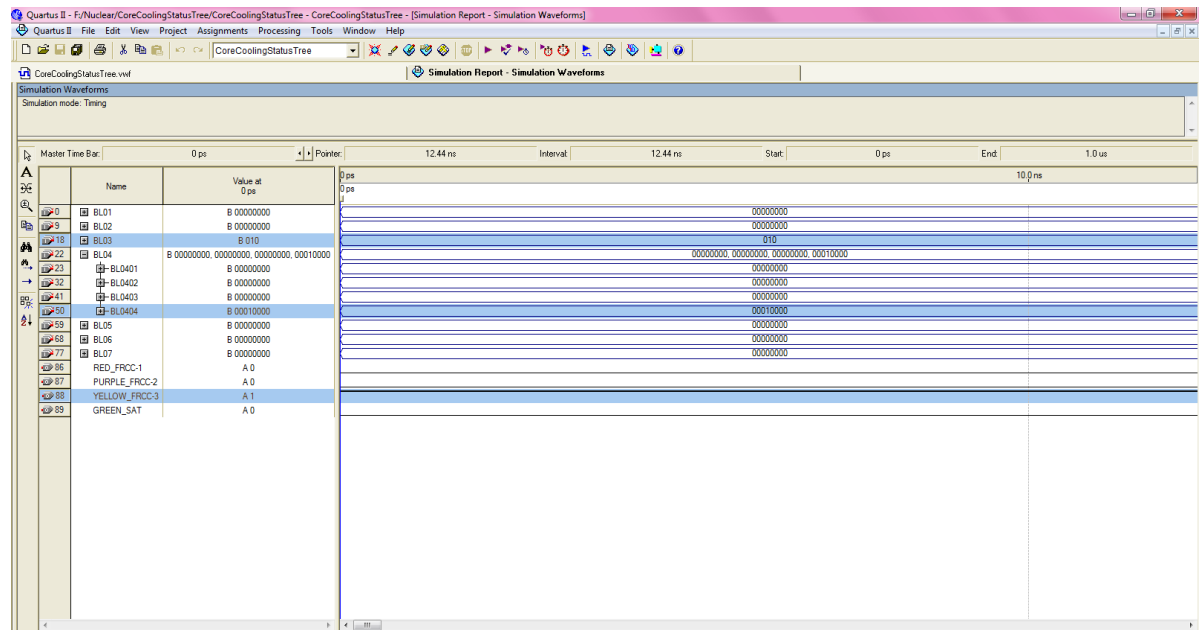


Figura 33–Simulação do resultado YELLOW\_FRCC-3

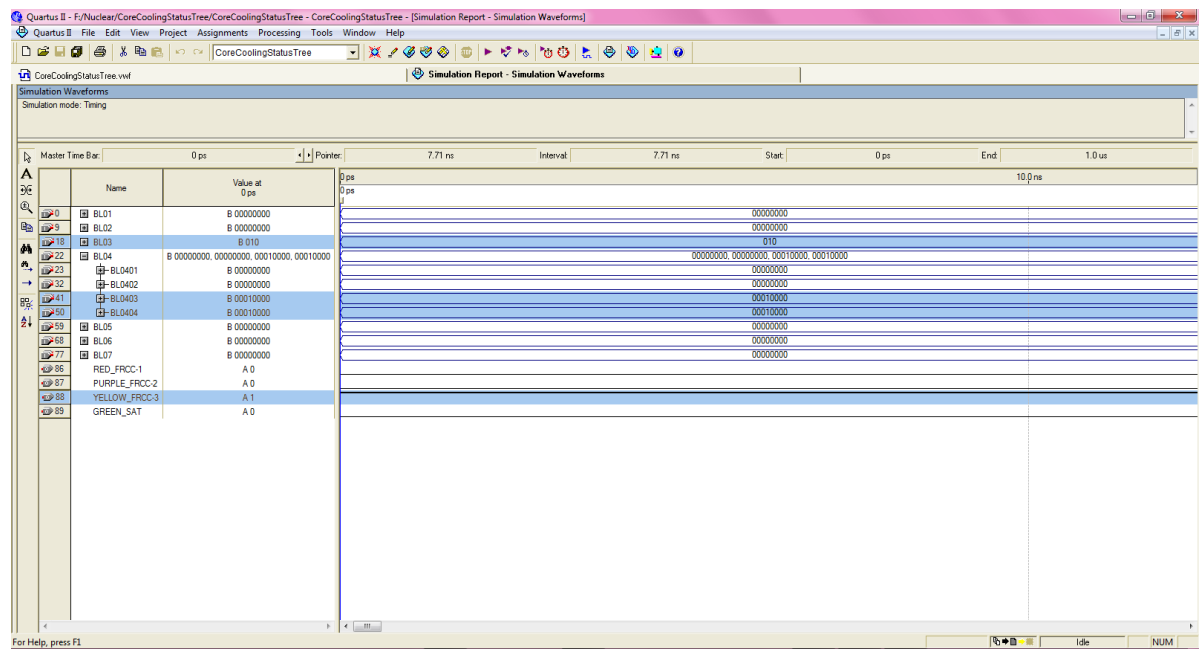


Figura 34–Simulação do resultado YELLOW\_FRCC-3

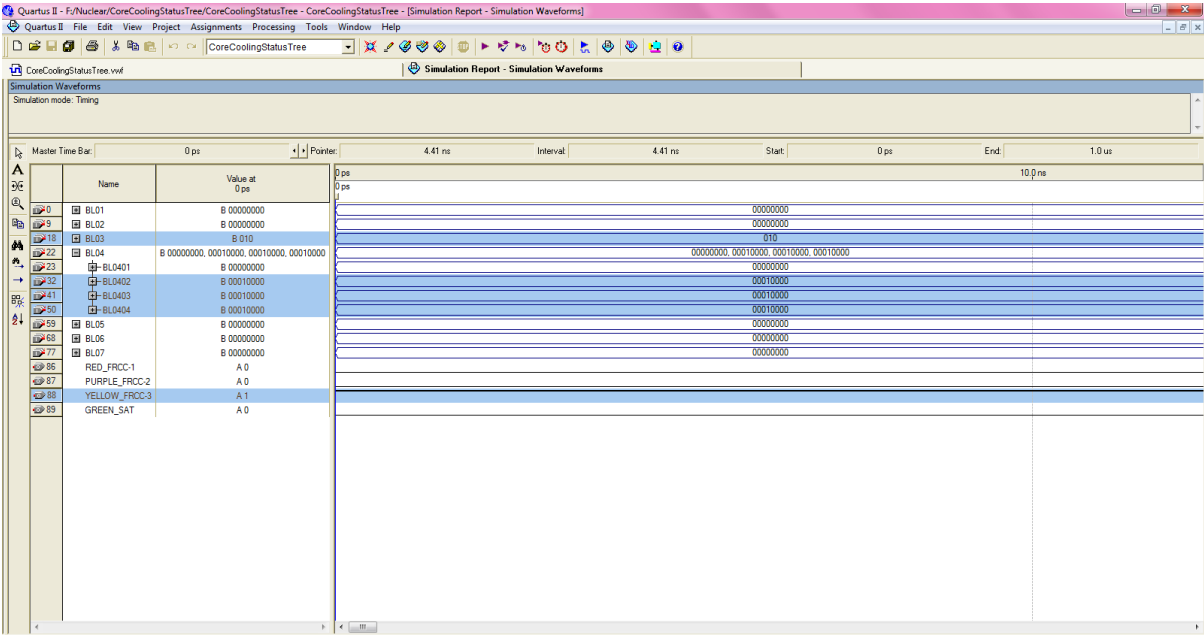


Figura 35—Simulação do resultado YELLOW\_FRCC-3

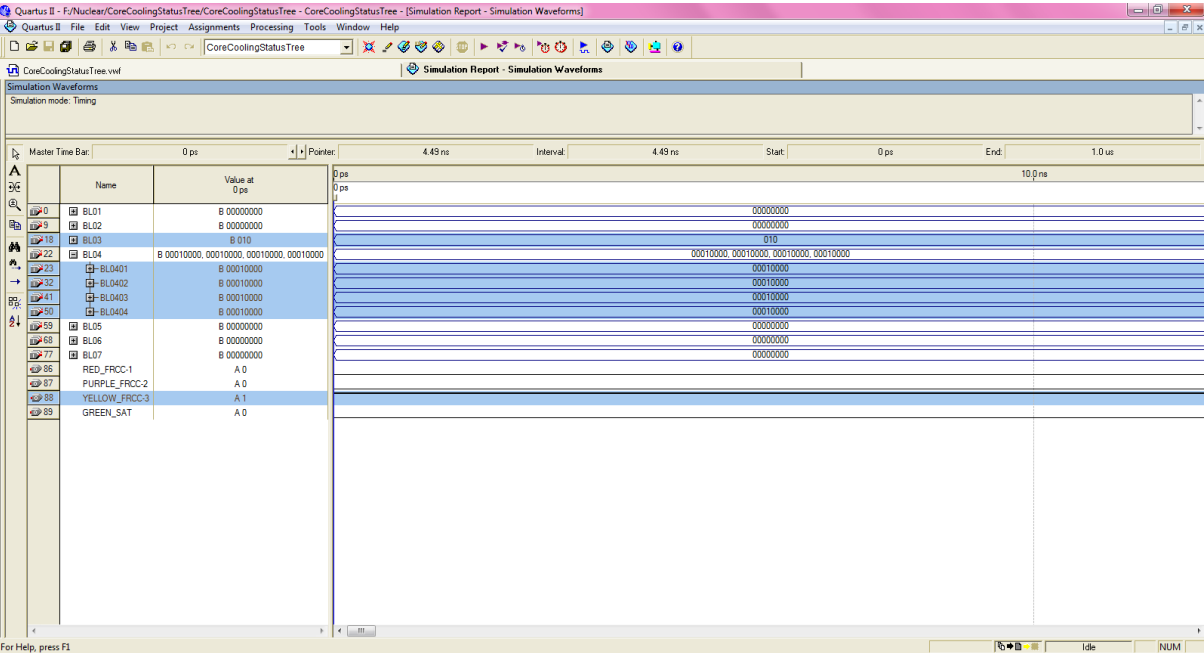


Figura 36—Simulação do resultado YELLOW\_FRCC-3

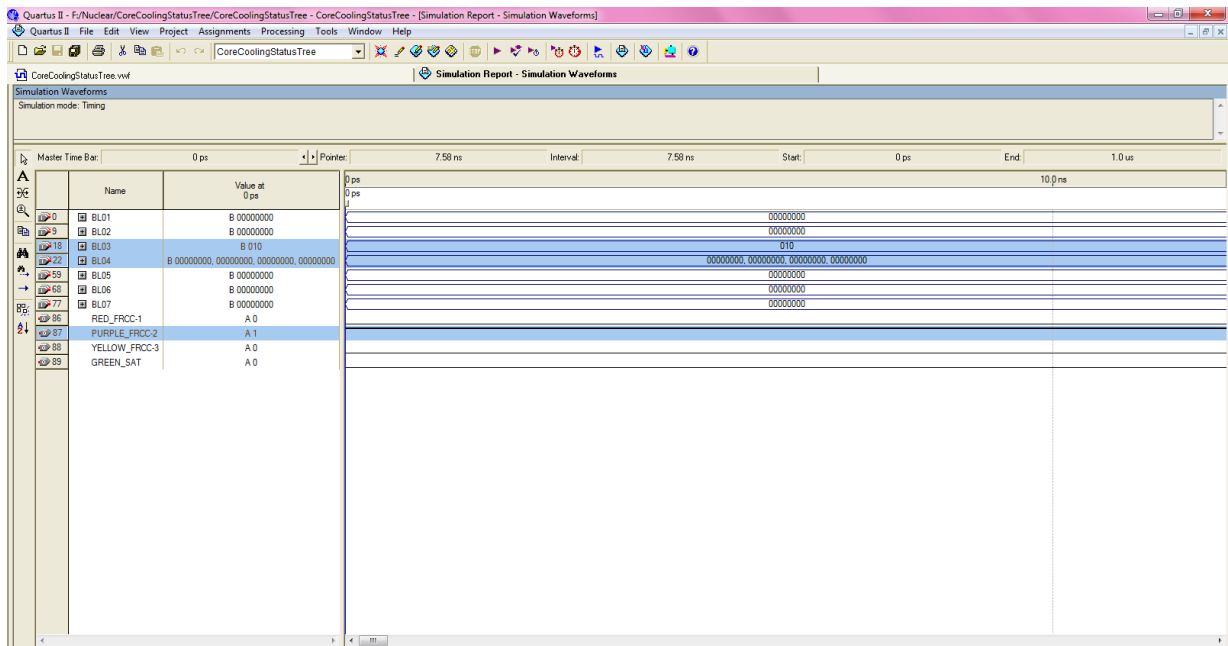


Figura 37–Simulação do resultado PURPLE\_FRCC-3

- Tendo em vista o resultado de  $a \leq b$  no bloco 01,  $a \leq b$  no bloco 02, nenhuma RCP rodando no bloco 03,  $a \leq b$  nos quatro comparadores do bloco 04,  $a > b$  no bloco 05 combinado com  $a > b$  no bloco 06 ativa-se a saída PURPLE\_FRCC-2 e se combinado com  $a \leq b$  no bloco 06 ativa-se a saída RED\_FRCC-1.

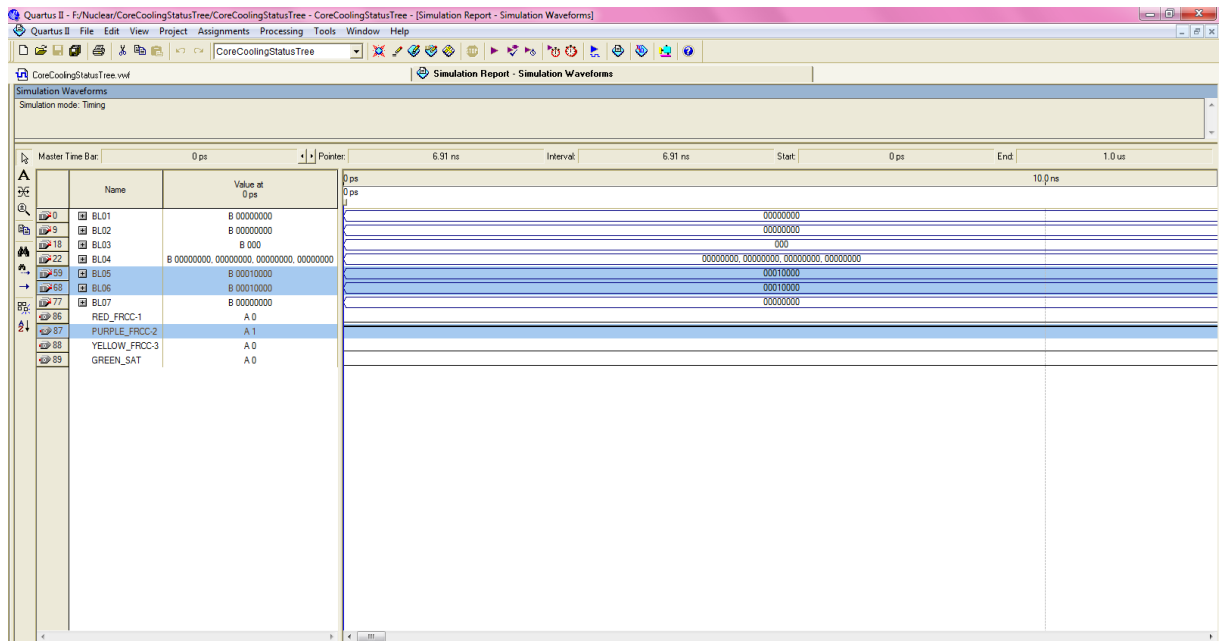


Figura 38—Simulação do resultado PURPLE\_FRCC-3

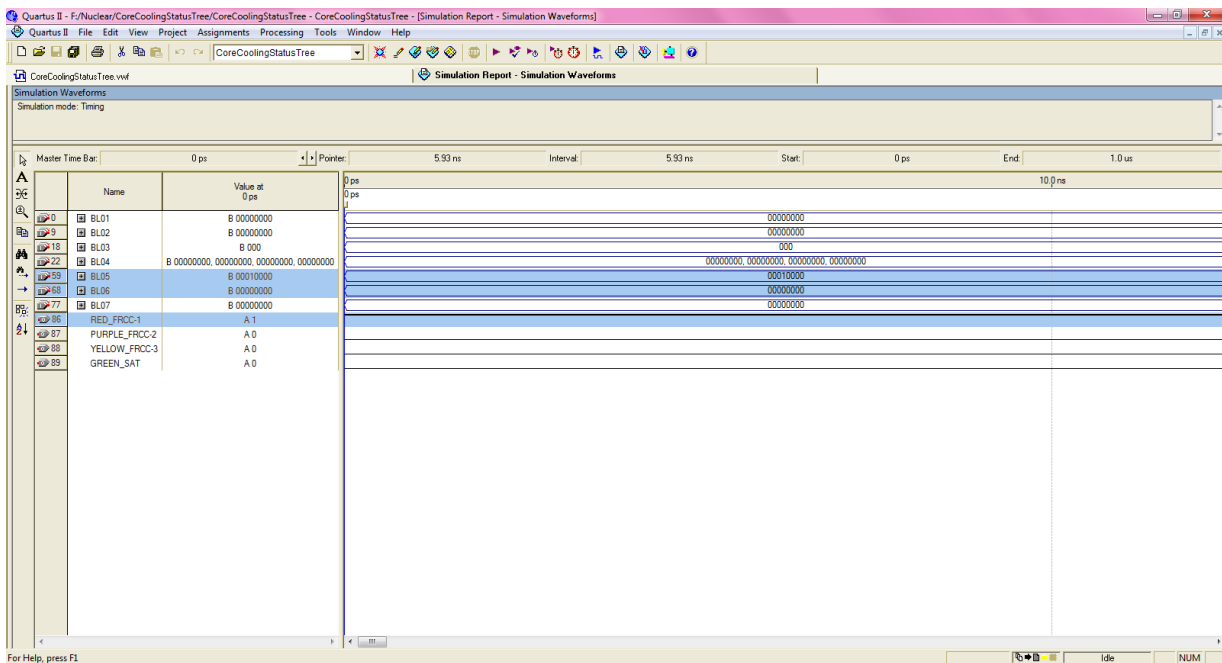


Figura 39—Simulação do resultado RED\_FRCC-1.

- Tendo em vista o resultado de  $a \leq b$  no bloco 01,  $a \leq b$  no bloco 02, nenhum RCP rodando no bloco 03,  $a \leq b$  nos quatro comparadores do bloco 04,  $a \leq b$  no bloco 05 combinado com  $a > b$  no bloco 07 ativa-se a saída YELLOW\_FRCC-3 e se combinado com  $a \leq b$  no bloco 07 ativa-se a saída PURPLE\_FRCC-2.

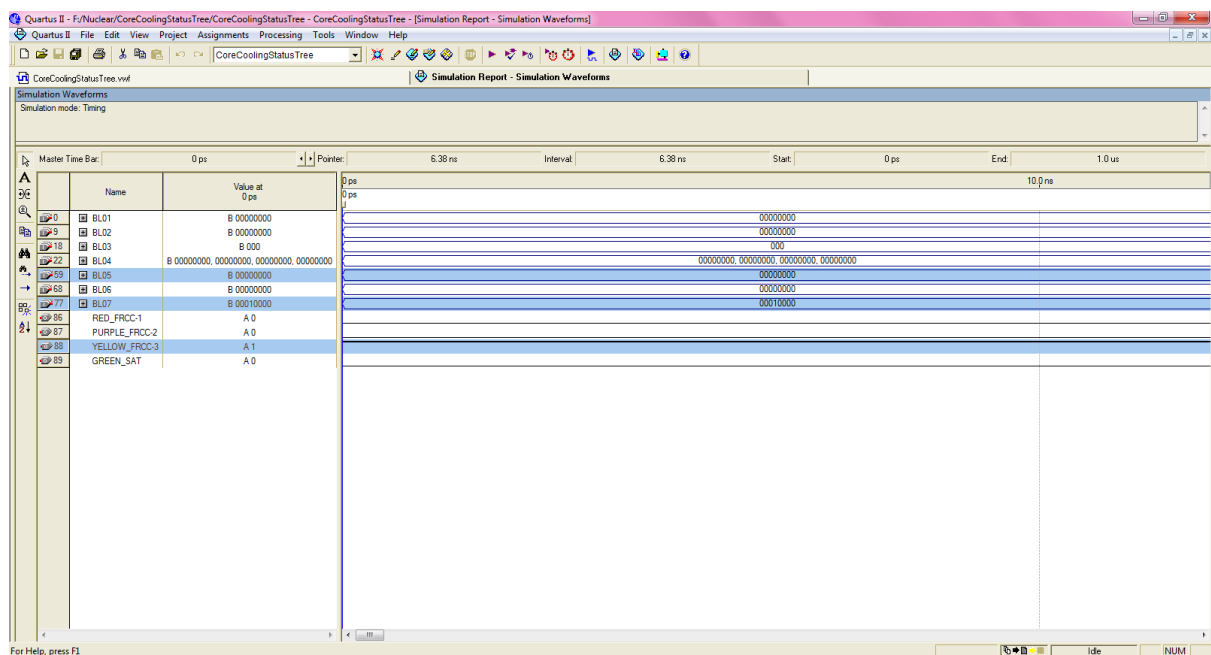


Figura 40–Simulação do resultado PURPLE\_FRCC-2

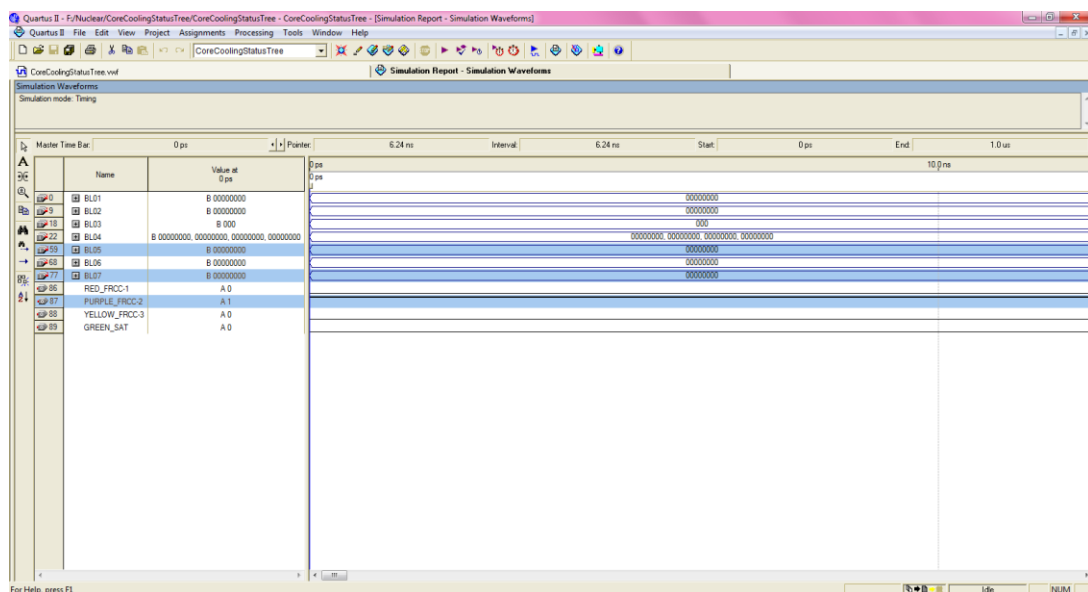


Figura 41–Simulação do resultadoPURPLE\_FRCC-2



### 5.1.3 VHDL da FCS Resfriamento do Núcleo

```

1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3
4  ENTITY CORECOOLINGSTATUSTREE IS
5  PORT (BL01A,BL01B: IN BIT_VECTOR(3 DOWNTO 0);
6        BL02A,BL02B: IN BIT_VECTOR(3 DOWNTO 0);
7        BL03A,BL03B,BL03C: IN STD_LOGIC;
8        BL0401A,BL0401B,BL0402A,BL0402B,BL0403A,BL0403B,BL0404A,BL0404B: IN BIT_VECTOR(3 DOWNTO 0);
9        BL05A,BL05B: IN BIT_VECTOR(3 DOWNTO 0);
10       BL06A,BL06B: IN BIT_VECTOR(3 DOWNTO 0);
11       BL07A,BL07B: IN BIT_VECTOR(3 DOWNTO 0);
12       RED_FRCC1,PURPLE_FRCC2,YELLOW_FRCC3,GREEN_SAT: OUT STD_LOGIC);
13 END CORECOOLINGSTATUSTREE;
14
15 ARCHITECTURE COMPARA OF CORECOOLINGSTATUSTREE IS
16 BEGIN
17   PROCESS (BL01A,BL01B)
18   BEGIN
19     IF BL01A>BL01B THEN
20       RED_FRCC1<='1';
21       PURPLE_FRCC2<='0';
22       YELLOW_FRCC3<='0';
23       GREEN_SAT<='0';
24     ELSIF BL01A<=BL01B
25     AND BL02A>BL02B THEN
26       RED_FRCC1<='0';
27       PURPLE_FRCC2<='0';
28       YELLOW_FRCC3<='0';
29       GREEN_SAT<='1';
30     ELSIF BL01A<=BL01B
31     AND BL02A<=BL02B
32     AND (BL03A<='1' OR BL03B<='1' OR BL03C<='1')
33     AND ((BL0401A>BL0401B AND BL0402A<BL0402B AND BL0403A<BL0403B AND BL0404A<BL0404B)
34     OR (BL0401A>BL0401B AND BL0402A>BL0402B AND BL0403A<BL0403B AND BL0404A<BL0404B)
35     OR (BL0401A>BL0401B AND BL0402A>BL0402B AND BL0403A>BL0403B AND BL0404A<BL0404B)
36     OR (BL0401A>BL0401B AND BL0402A>BL0402B AND BL0403A>BL0403B AND BL0404A>BL0404B)) THEN
37       RED_FRCC1<='0';
38       PURPLE_FRCC2<='0';
39       YELLOW_FRCC3<='1';
40       GREEN_SAT<='0';
41     ELSIF BL01A<=BL01B
42     AND BL02A<=BL02B
43     AND (BL03A<='1' OR BL03B<='1' OR BL03C<='1')
44     AND (BL0401A<=BL0401B AND BL0402A<=BL0402B AND BL0403A<=BL0403B AND BL0404A<=BL0404B) THEN
45       RED_FRCC1<='0';
46       PURPLE_FRCC2<='1';
47       YELLOW_FRCC3<='0';
48       GREEN_SAT<='0';
49     ELSIF BL01A<=BL01B
50     AND BL02A<=BL02B
51     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
52     AND BL05A>BL05B
53     AND BL06A>BL06B THEN
54       RED_FRCC1<='0';
55       PURPLE_FRCC2<='1';
56       YELLOW_FRCC3<='0';
57       GREEN_SAT<='0';
58     ELSIF BL01A<=BL01B
59     AND BL02A<=BL02B
60     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
61     AND BL05A>BL05B
62     AND BL06A<=BL06B THEN
63       RED_FRCC1<='1';
64       PURPLE_FRCC2<='0';
65       YELLOW_FRCC3<='0';
66       GREEN_SAT<='0';
67     ELSIF BL01A<=BL01B
68     AND BL02A<=BL02B
69     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
70     AND BL05A<=BL05B
71     AND BL07A>BL07B THEN
72       RED_FRCC1<='0';
73       PURPLE_FRCC2<='0';
74       YELLOW_FRCC3<='1';
75       GREEN_SAT<='0';
76     ELSIF BL01A<=BL01B
77     AND BL02A<=BL02B
78     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
79     AND BL05A<=BL05B
80     AND BL07A<=BL07B THEN
81       RED_FRCC1<='0';
82       PURPLE_FRCC2<='1';
83       YELLOW_FRCC3<='0';
84       GREEN_SAT<='0';
85     END IF;
86   END PROCESS;
87 END COMPARA;

```

Figura 42–VHDL da FCS Resfriamento do Núcleo

## 5.2 AVALIAÇÃO DA FCS: TRANSFERÊNCIA DE CALOR

O sistema de Transferência de calor residual assume a tarefa de refrigerar o núcleo do reator na hipótese de um acidente com perda de refrigerante.

Bombas de injeção de segurança de alta pressão são capazes de compensar pequenas perdas de refrigerante. As bombas de remoção de calor residual, de baixa pressão, compensam perdas maiores e removem em longo prazo o calor residual gerado no reator desligado.

A figura43 apresenta a árvore de estado para a FCS de Transferência de calor.

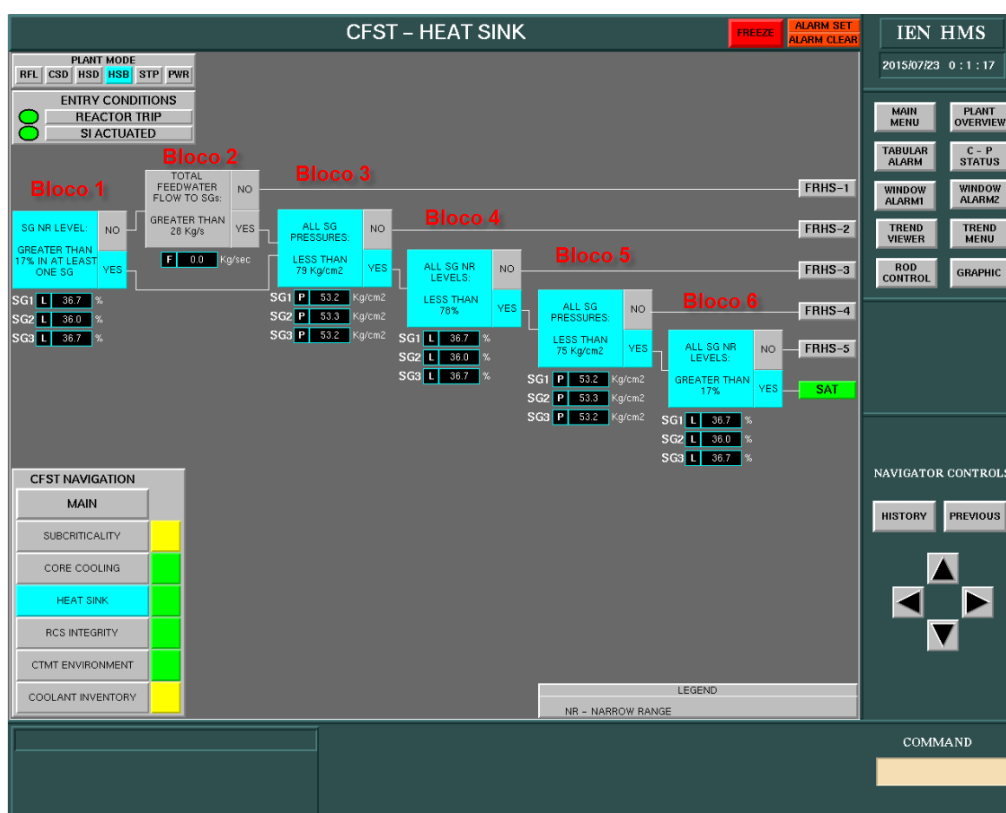


Figura 43—Numeração dos blocos da FCS Transferência de calor

A árvore de estado da FCS dissipador de calor possui seis estados ou blocos de decisão.

**Primeiro bloco:** Nível da faixa estreita do gerador de vapor: maior que 17% em pelo menos um GV.

**Descrição:** São verificados se os níveis dos GVs estão acima de 17%. Se o nível em qualquer GV estiver menor que 17%, o GV perderá sua capacidade de retirar calor do circuito primário do reator e impede que as instabilidades hidrodinâmicas nos canos da água de alimentação devido ao bombeamento da água. Em caso de ser menor que 17%, ocorrerá o TRIP do reator.

**Segundo bloco de Decisão:** Fluxo total de água de alimentação para os GVs: maior que 28 kg/s.

**Descrição:** É verificado se o fornecimento de água de alimentação para os GVs é maior que um valor mínimo, no caso 28 kg/s, para manter a remoção do calor do primário para o secundário pelos GVs.

**Terceiro bloco de Decisão:** Pressão em todos os GVs: menor do que 79 kg/cm<sup>2</sup>.

**Descrição:** É verificado se a pressão dos GVs está aumentando. Se a pressão em um GV for maior do que 79 kg/cm<sup>2</sup> significa que o mesmo está removendo mais calor do circuito primário do que sua capacidade de remoção ou ocorreu uma ruptura de tubo em U do GV.

**Quarto bloco de Decisão:** Nível na faixa estreita em todos os GVs: menor que 78%.

**Descrição:** É verificado se o nível de água do GV está menor do que 78%. Este valor é o limite para que o GV forneça para a turbina vapor ultra seco, ou seja, que a qualidade do vapor está sempre acima de um valor especificado para proteger as lâminas da turbina.

**Quinto bloco de Decisão:** Pressões em todos os GVs: menor que 75 kg/cm.

**Descrição:** É verificado se a pressão dos GVs está aumentando. Se a pressão em um GV for maior do que 75 kg/cm<sup>2</sup> significa que o mesmo está removendo mais calor do circuito primário do que sua capacidade de remoção ou ocorreu uma ruptura de tubo em U do GV.

**Sexto bloco de Decisão:** Níveis na faixa estreita de todos os GVs: maior que 17%.

**Descrição:** São verificados se os níveis dos GVs estão acima de 17%. Se o nível em qualquer GV estiver menor que 17%, o GV perderá sua capacidade de retirar calor do circuito primário do reator e impede as instabilidades hidrodinâmicas nos canos da água de alimentação devido ao bombeamento da água. Em caso de ser menor que 17% ocorrerá o TRIP do reator.

#### **Função de Restauração da FCS Transferência de calor:**

O estado que indica o maior grau de ameaça à FCS é indicado pela cor vermelha (FCS Transferência de caloré representado por (FRHS -1 – *RED*); o estado 2 indicado pela cor roxo, indica uma ameaça intermediária entre o estado 1 e o 3 (nesta FCS não há esta indicação); o estado 3 indicado pela cor amarelo (FRHS-2,3,4,5 – *YELLOW*) é a primeira indicação de que a FCS está sendo violada, o estado 4 indicado pela cor verde (SAT – *GREEN*) ,indica a condição de normalidade e não violação da FCS.

A figura 44 descreve o esquemático da FCS referente à transferência de calor desenvolvido na ferramenta Quartus.

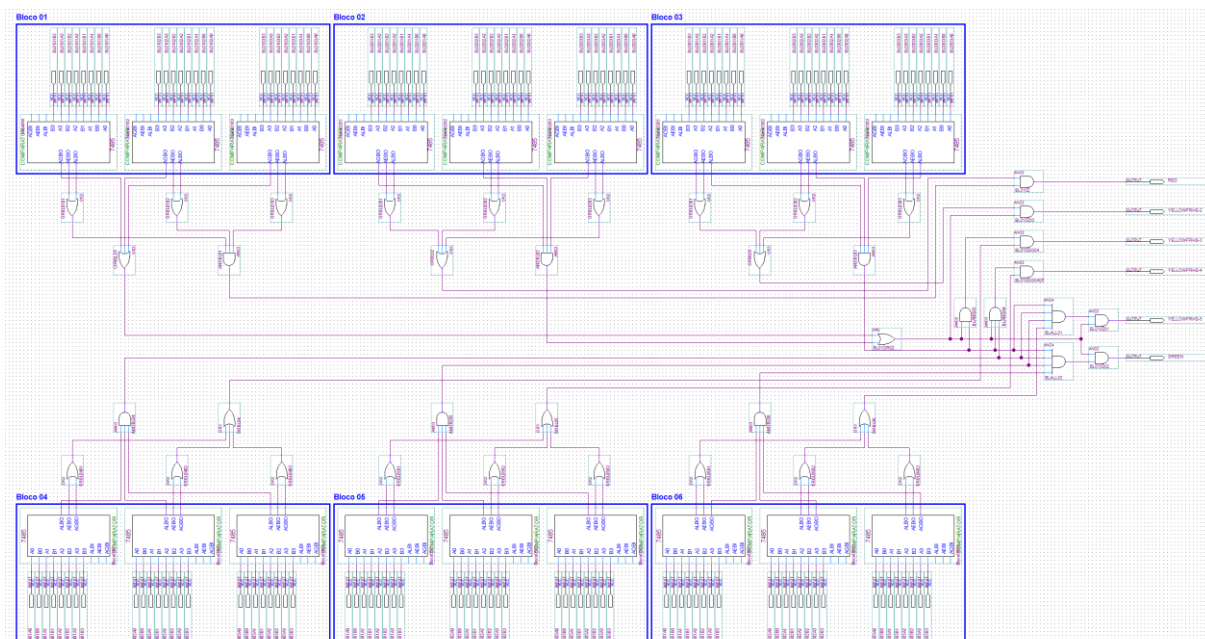


Figura 44—Esquemático da FCS referente à Transferência de calor

### 5.2.1 Descrição do esquemático da FCS Resfriamento do Núcleo

Para a descrição do esquemático da FCS Transferência de Calor foram utilizados no total 18 comparadores. Cada bloco possui 3 comparadores. O resultado da comparação é expresso nas saídas ALBO (Menor), AEBO (Igual) e AGBO (Maior).

Para um melhor entendimento e visualização dos comparadores no esquemático, cada bloco combinacional foi nomeado como BL seguido do número do Bloco correspondente e do Comparador.

Os comparadores do Bloco 01 foram nomeados como: BL0101, BL0102 e BL0103.

Os comparadores do Bloco 02 foram nomeados como: BL0201, BL0202 e BL0203.

Os comparadores do Bloco 03 foram nomeados como: BL0301, BL0302 e BL0303.

Os comparadores do Bloco 04 foram nomeados como: BL0401, BL0402 e BL0403.

Os comparadores do Bloco 05 foram nomeados como: BL0501, BL0502 e BL0503.

Os comparadores do Bloco 06 foram nomeados como: BL0601, BL0602 e BL0603.

O mesmo procedimento foi utilizado para nomear as entradas de cada bloco combinacional. Como exemplo, descrevemos o Bloco 01 com seus 3 comparadores e suas respectivas nomenclaturas de entrada.

Para as entradas do Comparador BL0101 foram atribuídos os nomes: BL0101A0, BL0101B0, BL0101A1, BL0101B1, BL0101A2, BL0101B2, BL0101A3 e BL0101B3.

Para as entradas do Comparador BL0102 foram atribuídos os nomes: BL0102A0, BL0102B0, BL0102A1, BL0102B1, BL0102A2, BL1202B2, BL0102A3 e BL1202B3.

Para as entradas do Comparador BL0103 foram atribuídos os nomes: BL0103A0, BL0103B0, BL0103A1, BL0103B1, BL0103A2, BL0103B2, BL0103A3 e BL0103B3.

Assim segue sucessivamente de acordo com o Comparador e seu respectivo Bloco.

Para facilitar a explicação e o entendimento, serão usados apenas A e B nos exemplos como entradas em vez da nomenclatura atribuída a elas. O resultado final é uma combinação de resultados parciais e, partindo deste princípio, seguem as explicações dos blocos da FCS Transferência de Calor, descritas no esquemático.

- **Bloco 01**

**Desenvolvimento / Lógica:** se o resultado dos três comparadores do bloco 01 for menor ou igual na comparação a e b, segue para uma porta *and* para combinar com o resultado do bloco 02 e se for maior em pelo menos um dos três comparadores, segue para uma porta *or* para combinar com o resultado do bloco 03.

Bloco 01

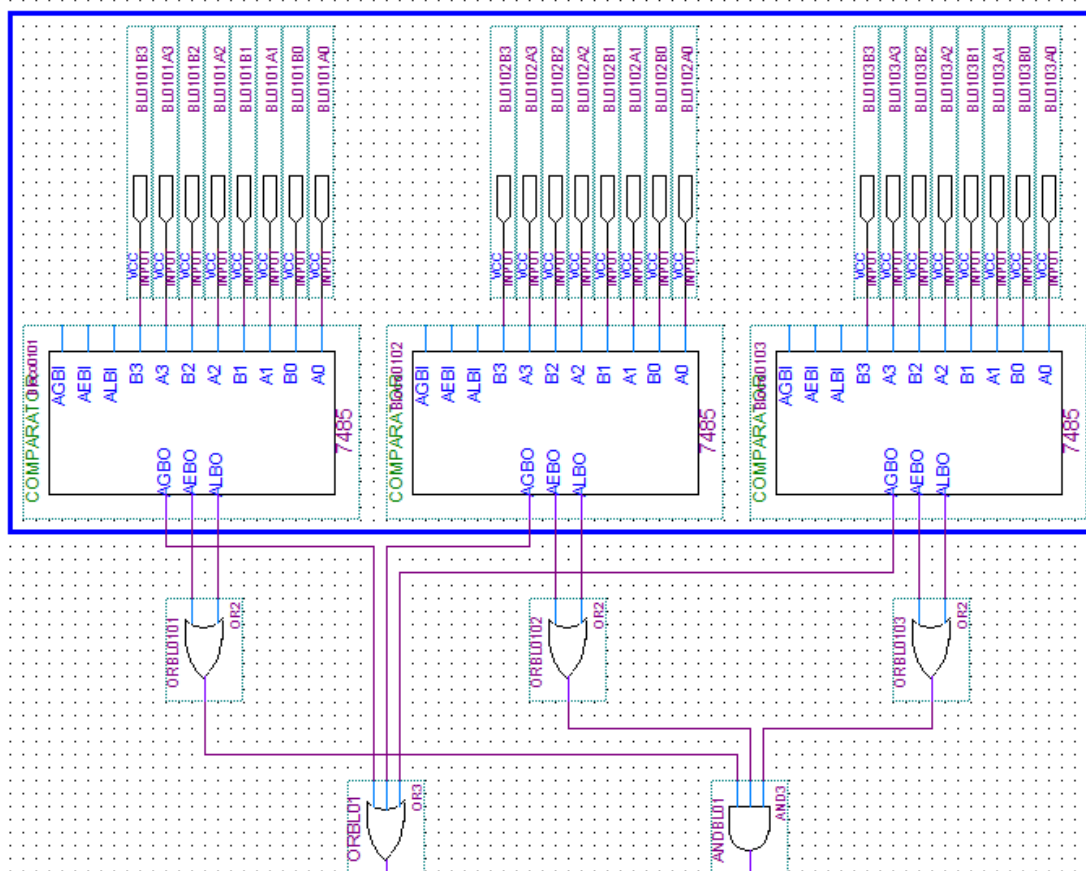


Figura 45 – Esquemático Bloco 1

- **Bloco 02**

**Desenvolvimento / Lógica:** se o resultado dos três comparadores do bloco 02 for menor ou igual na comparação a e b em pelo menos um dos comparadores, segue para uma porta *or* para gerar o resultado final (resultado do bloco 01 com o resultado do bloco 02) e se for maior segue para uma porta *and* para combinar com o resultado do bloco 03.

Se o resultado dos três comparadores do bloco 01 for menor ou igual na comparação a e b, então, se o resultado dos comparadores do bloco 02 for menor ou igual na comparação a e b em pelo menos um comparador, ativa-se a saída RED\_FRHS-1.

### Bloco 02

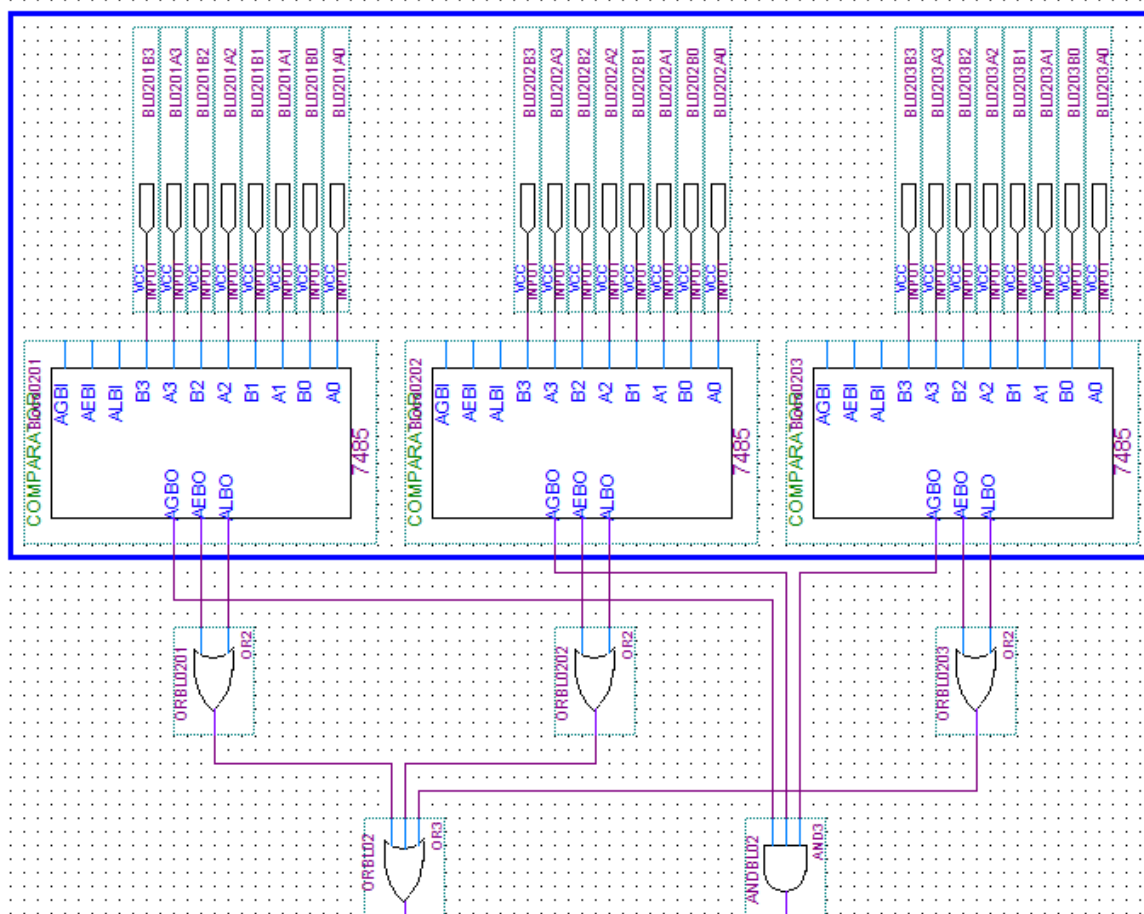


Figura 46– Esquemático Bloco2

### • Bloco 03

**Desenvolvimento / Lógica:** Se o resultado dos três comparadores do bloco 03 for igual ou maior na comparação a e b em pelo menos um dos comparadores, segue para uma porta *or* para combinar com o resultado do bloco 01 ou bloco 02 para gerar o resultado final (resultado do bloco 01 (maior) ou do bloco 02 (maior) com o resultado do bloco 03) e se for menor segue para uma porta *and* para combinar com o resultado do bloco 04.

Se o resultado dos comparadores do bloco 01 for maior na comparação a e b em pelo menos um dos comparadores, ou se o resultado dos três comparadores do bloco 02 for maior na comparação a e b, então, se o resultado dos comparadores



do Bloco 03 for igual ou maior em pelo menos um dos comparadores na comparação a e b, ativa-se a saída YELLOW\_FRHS-2.

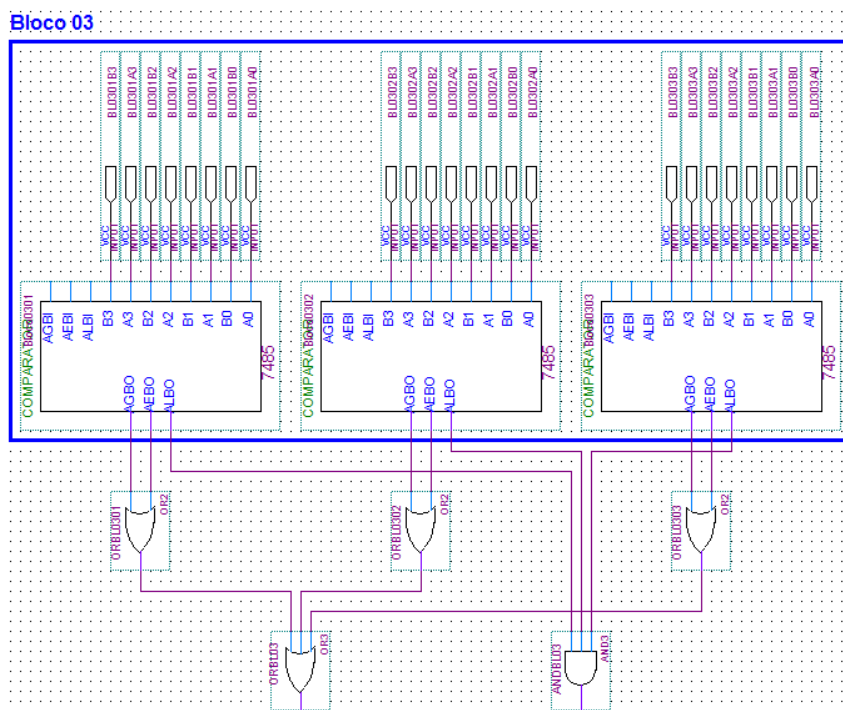


Figura 47– Esquema Bloco 3

#### • Bloco 04

**Desenvolvimento / Lógica:** se o resultado dos três comparadores do bloco 04 for igual ou maior na comparação a e b em pelo menos um dos comparadores, segue para uma porta *or* para combinar com o resultado do bloco 01 ou bloco 02 e bloco 03 para gerar o resultado final (resultado do bloco 01 (maior) ou do bloco 02 (maior) com o resultado do bloco 03 (menor) e do bloco 04) e se for menor seguem para uma porta *and* para combinar com o resultado do bloco 05. Se o resultado dos comparadores do bloco 01 for maior na comparação a e b em pelo menos um dos comparadores, ou, se o resultado dos três comparadores do bloco 02 for maior na comparação a e b, então, se o resultado dos três comparadores do bloco 03 for

menor na comparação a e b, então, se o resultado dos comparadores do bloco 04 for igual ou maior em pelo menos um dos comparadores na comparação a e b, ativa-se a saída YELLOW\_FRHS-3.

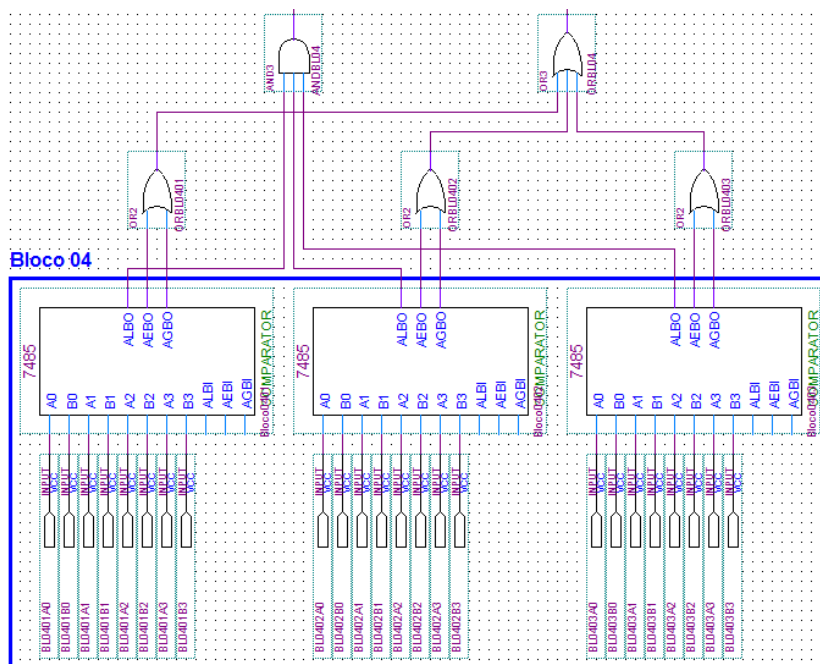


Figura 48—Esquemático Bloco 4

- **Bloco 5**

**Desenvolvimento / Lógica:** Se o resultado dos três comparadores do bloco 05 for igual ou maior na comparação a e b em pelo menos um dos comparadores, segue para uma porta *or* para combinar com o resultado do bloco 01 ou bloco 02 e bloco 03 e bloco 04 para gerar o resultado final (resultado do bloco 01 (maior) ou do bloco 02 (maior) com o resultado do bloco 03 (menor), bloco 04 (menor) e do bloco 05) e se for menor segue para uma porta *and* para combinar com o resultado do bloco 06.

Se o resultado dos comparadores do bloco 01 for maior na comparação a e b em pelo menos um dos comparadores, ou, se o resultado dos três comparadores do bloco 02 for maior na comparação a e b, então, se o resultado dos três comparadores do bloco 03 for menor na comparação a e b, então, se o resultado dos

três comparadores do bloco 04 for menor na comparação a e b então, se o resultado dos comparadores do bloco 05 for igual ou maior em pelo menos um dos comparadores na comparação a e b, ativa-se a saída YELLOW\_FRHS-4.

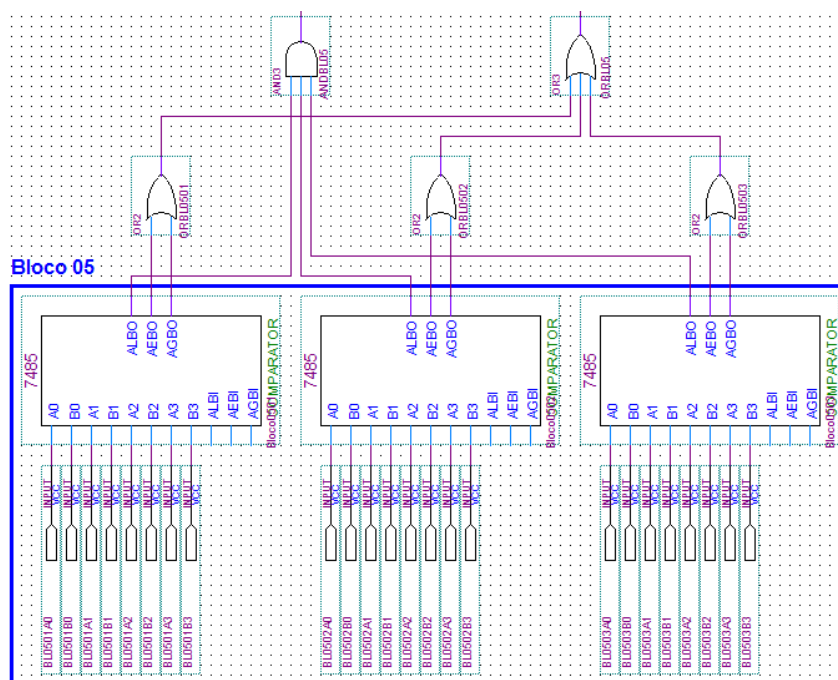


Figura 49– Esquemático Bloco5

- **Bloco 06**

**Desenvolvimento / Lógica:** se o resultado dos comparadores do bloco 06 for maior na comparação a e b, segue para uma porta *and* para combinar com o resultado do bloco 01 ou bloco 02 e bloco 03, bloco 04 e bloco 05 para gerar o resultado final (resultado do bloco 01 (maior) ou do bloco 02 (maior) com o resultado do bloco 03 (menor), bloco 04 (menor), bloco 05 (menor) e do bloco 06) e se for menor ou igual segue para uma porta *and* para combinar com o resultado do bloco 01 (maior) ou do bloco 02 (maior) com o resultado do bloco 03 (menor), bloco 04 (menor), bloco 05 (menor).

Se o resultado dos comparadores do bloco 01 for maior na comparação a e b em pelo menos um dos comparadores, ou, se o resultado dos três comparadores do

bloco 02 for maior na comparação a e b, então, se o resultado dos três comparadores do bloco 03 for menor na comparação a e b, então, se o resultado dos três comparadores do bloco 04 for menor na comparação a e b então, se o resultado dos três comparadores do bloco 05 for menor na comparação a e b, então, se o resultado dos comparadores do bloco 06 for menor ou igual na comparação a e b em pelo menos um dos comparadores, ativa-se a saída YELLOW\_FRHS-5 e se o resultado dos três comparadores do bloco 06 for maior na comparação a e b, ativa-se a saída GREEN\_SAT.

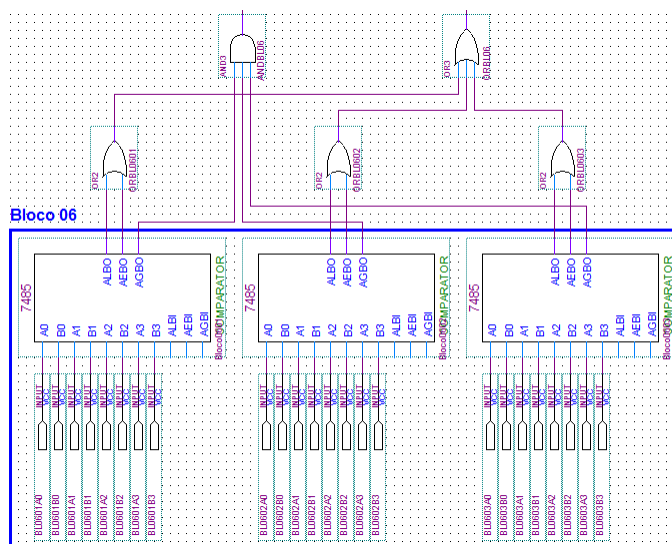


Figura 50—Esquemático Bloco 6

### 5.2.2 Simulação FCS Transferência de calor

Para efeito de simulação, serão forçados os valores zero (0) e um (1) para demonstrar a explicação dos Blocos combinando os resultados parciais para gerar o resultado final.

Para facilitar o entendimento da simulação, foram agrupadas as entradas por comparador e os comparadores por blocos.

Na leitura da linha de cada comparador no simulador, entendem-se os quatro primeiros números como sendo A e os outros quatro como sendo B.

- Agrupamento das Entradas: No simulador do software Quartus temos a opção de agrupar dados para facilitar a visualização das simulações, na figura 8 está descrito o agrupamento das entradas do comparador BL0101.

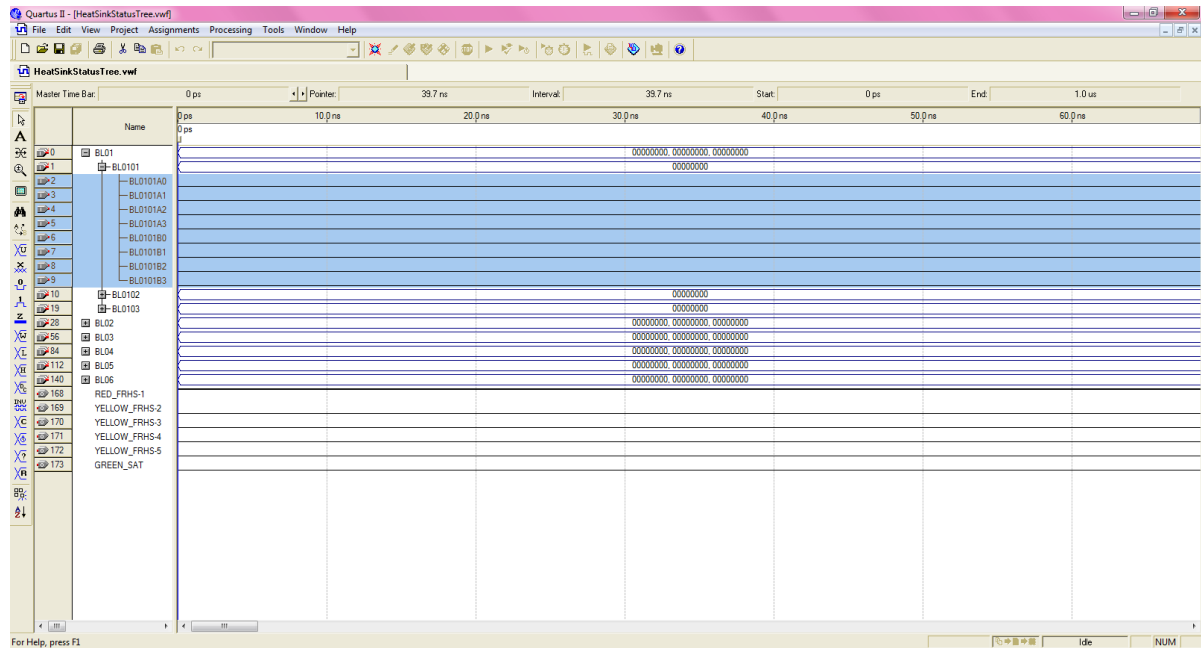


Figura 51–Agrupamento das Entradasdo comparador BL0101

- Agrupamento dos Comparadores:A figura 52 apresenta o agrupamento dos Comparadores do bloco 1.

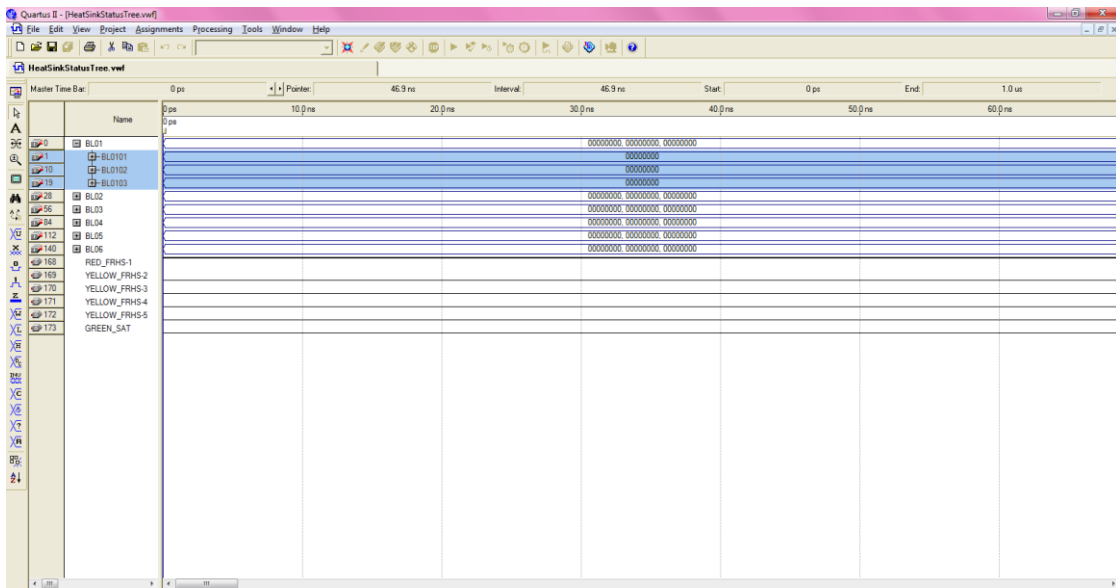


Figura 52– Agrupamento dos Comparadores do bloco 1

Segue a explicação da simulação bloco por bloco combinando com o resultado do bloco anterior até o final da árvore.

- Tendo em vista o resultado de  $a < b$  nos três comparadores do bloco 01 combinado com o resultado de  $a = b$  nos três comparadores do bloco 02 ativa-se a saída RED\_FRHS-1.

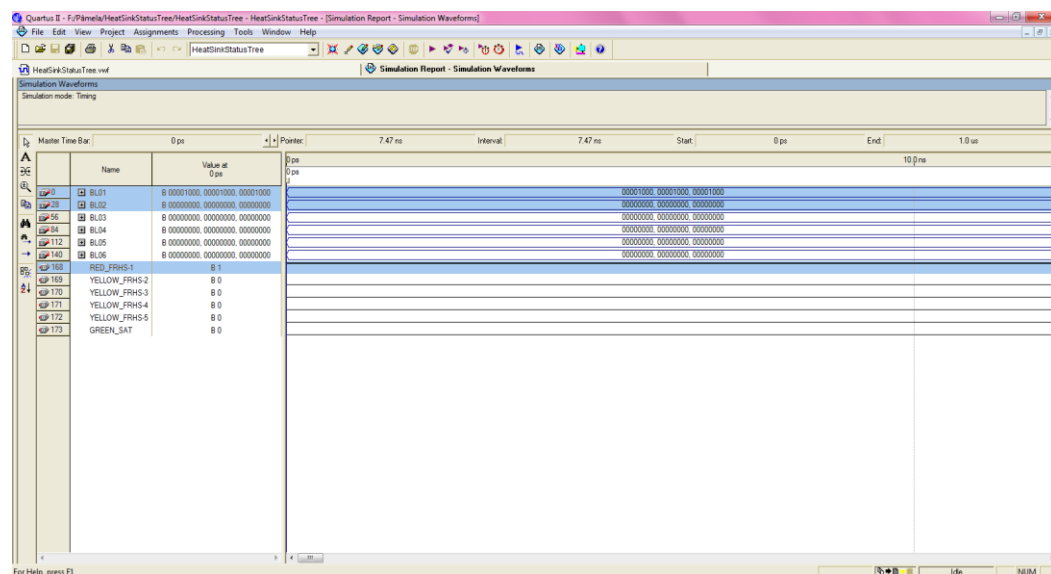


Figura 53–Simulação do resultado RED\_FRHS-1

- Tendo em vista o resultado de  $a = b$  nos três comparadores do bloco 01 combinado com o resultado de  $a = b$  nos três comparadores do bloco 02 ativa-se a saída RED\_FRHS-1.

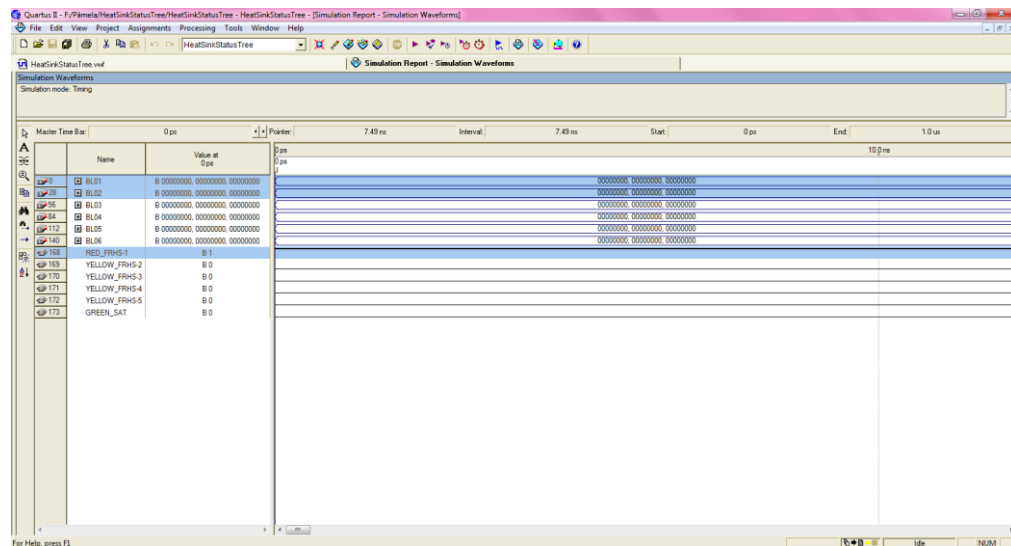


Figura 54–Simulação do resultado RED\_FRHS-1.

- Tendo em vista o resultado de  $a < b$  nos três comparadores do bloco 01 combinado com o resultado de  $a < b$  nos três comparadores do bloco 02 ativa-se a saída RED\_FRHS-1.

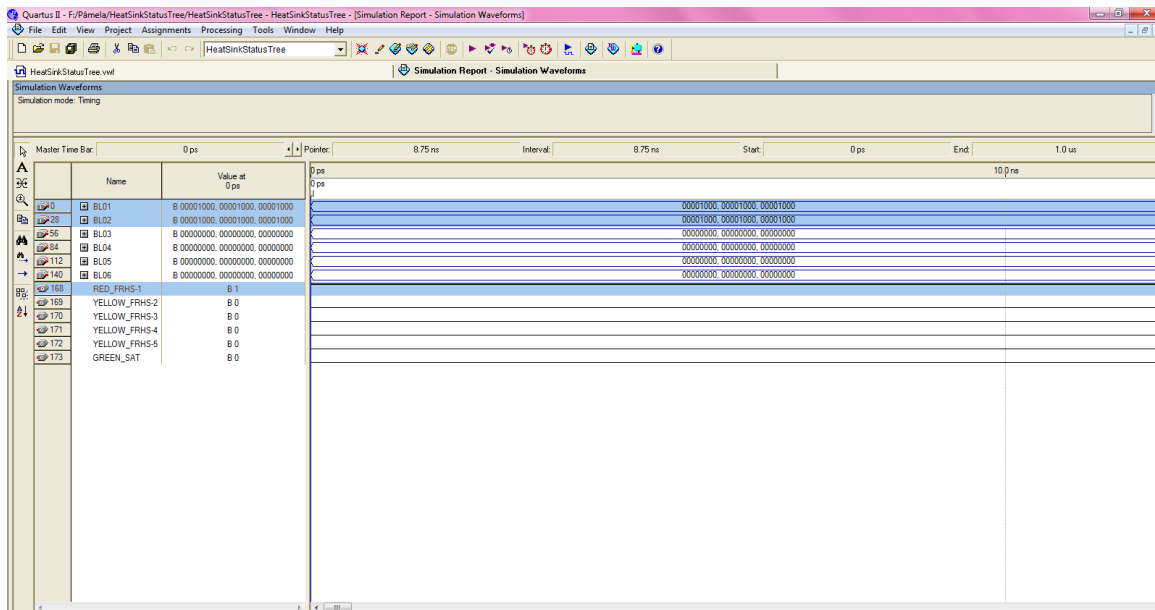


Figura 55– Simulação do resultado RED\_FRHS-1.

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 combinado com o resultado de  $a = b$  nos três comparadores do bloco 03 ativa-se a saída YELLOW\_FRHS-2.

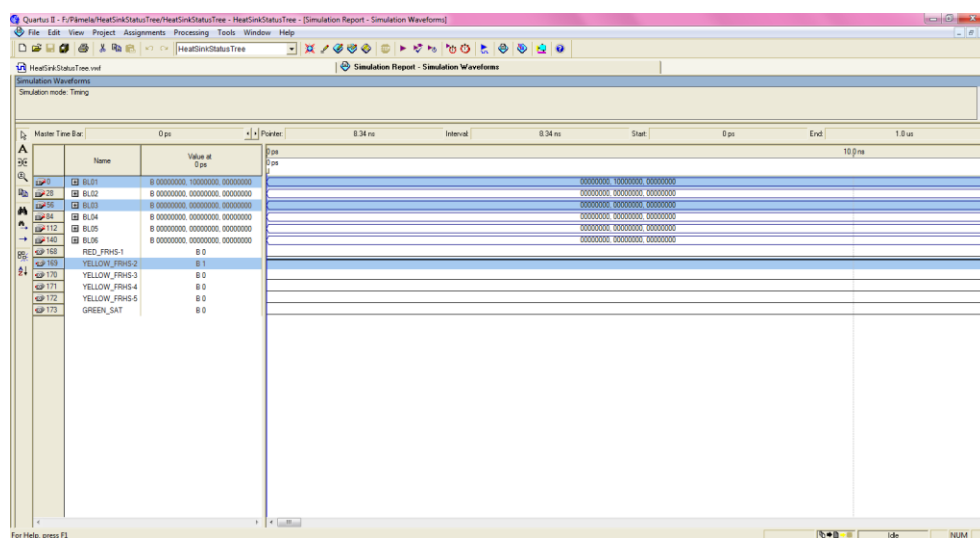


Figura 56– Simulação do resultado YELLOW\_FRHS-2



- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 combinado com o resultado de  $a > b$  nos três comparadores do bloco 03 ativa-se a saída YELLOW\_FRHS-2.

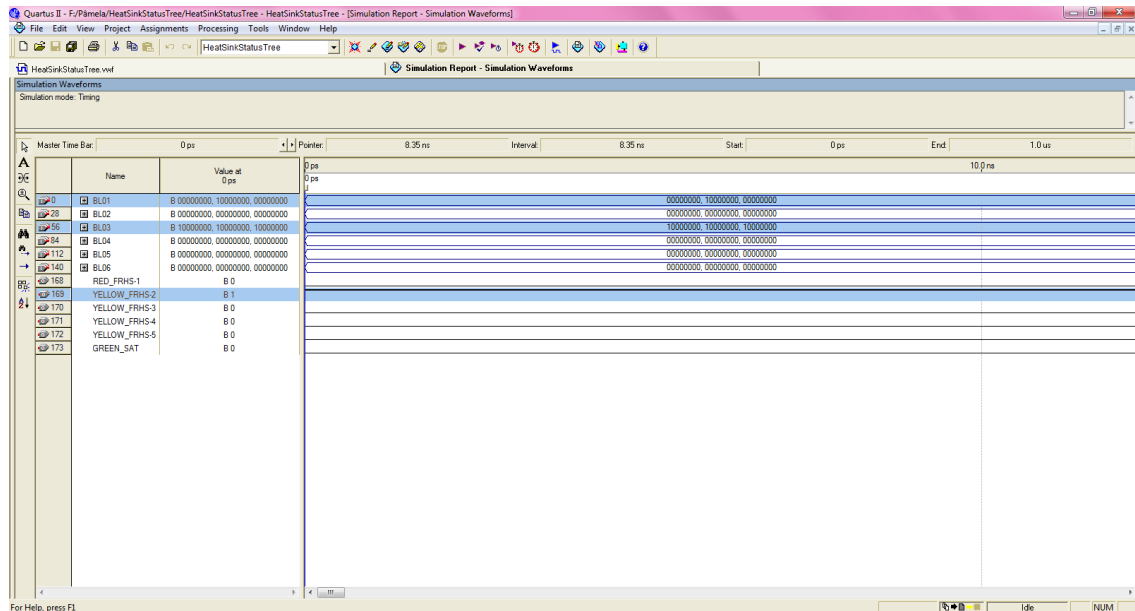


Figura 57—Simulação do resultado YELLOW\_FRHS-2

- Tendo em vista o resultado de  $a < b$  nos três comparadores do bloco 01 combinado com o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a = b$  nos três comparadores do bloco 03 ativa-se a saída YELLOW\_FRHS-2.

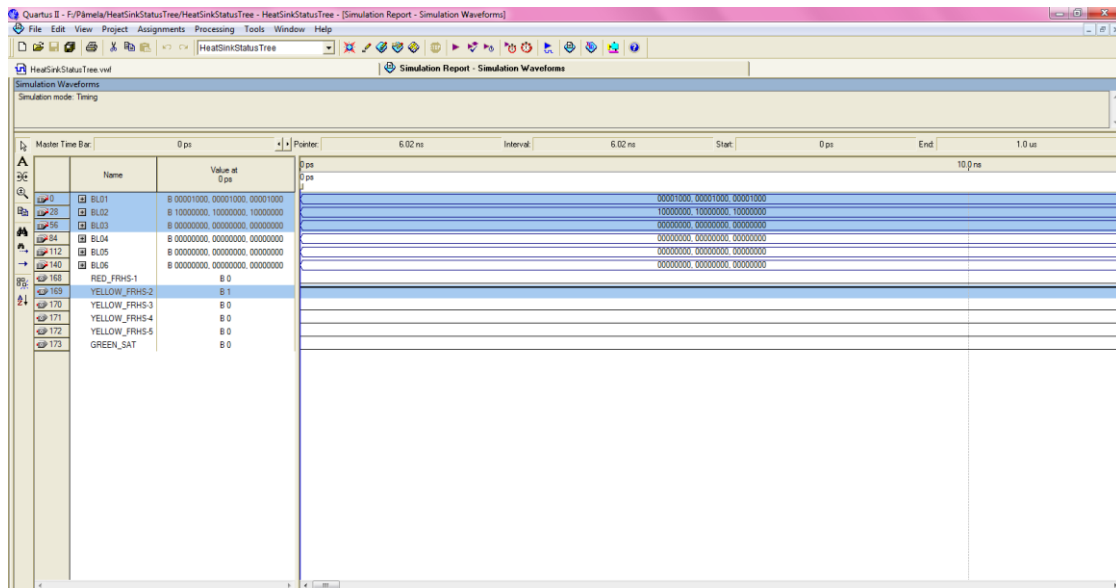


Figura 58—Simulação do resultado YELLOW\_FRHS-2

- Tendo em vista o resultado de  $a = b$  nos três comparadores do bloco 01 combinado com o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a = b$  nos três comparadores do bloco 03 ativa-se a saída YELLOW\_FRHS-2

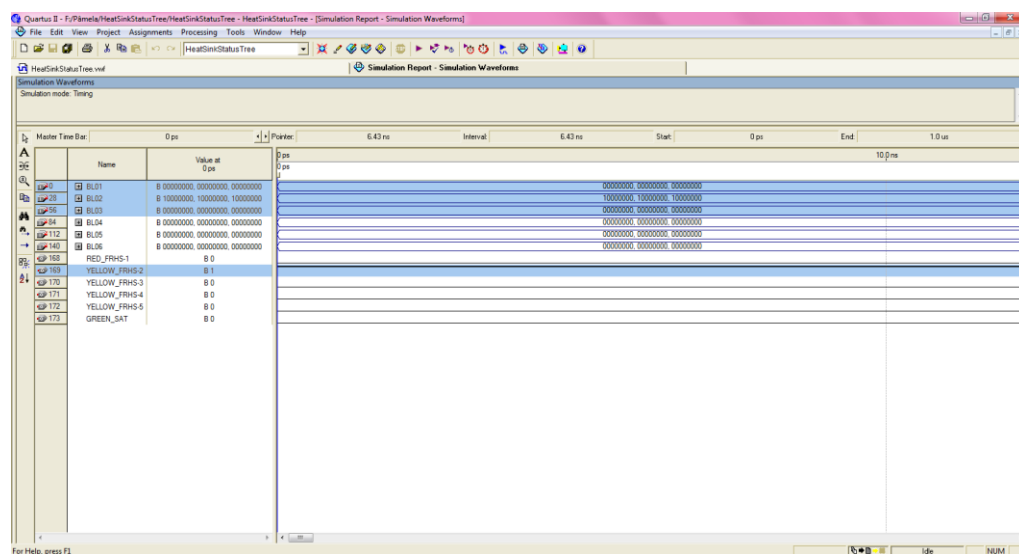


Figura 59— Simulação do resultado YELLOW\_FRHS-2

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a = b$  nos três comparadores do bloco 04 ativa-se a saída YELLOW\_FRHS-3.

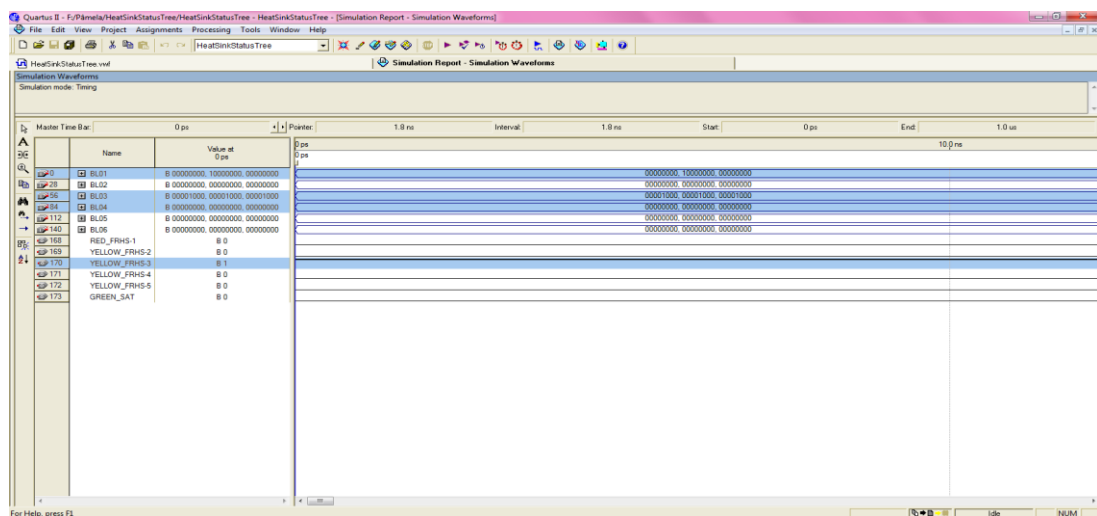


Figura 60—Simulação do resultado YELLOW\_FRHS-3

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a > b$  nos três comparadores do bloco 04 ativa-se a saída YELLOW\_FRHS-3.

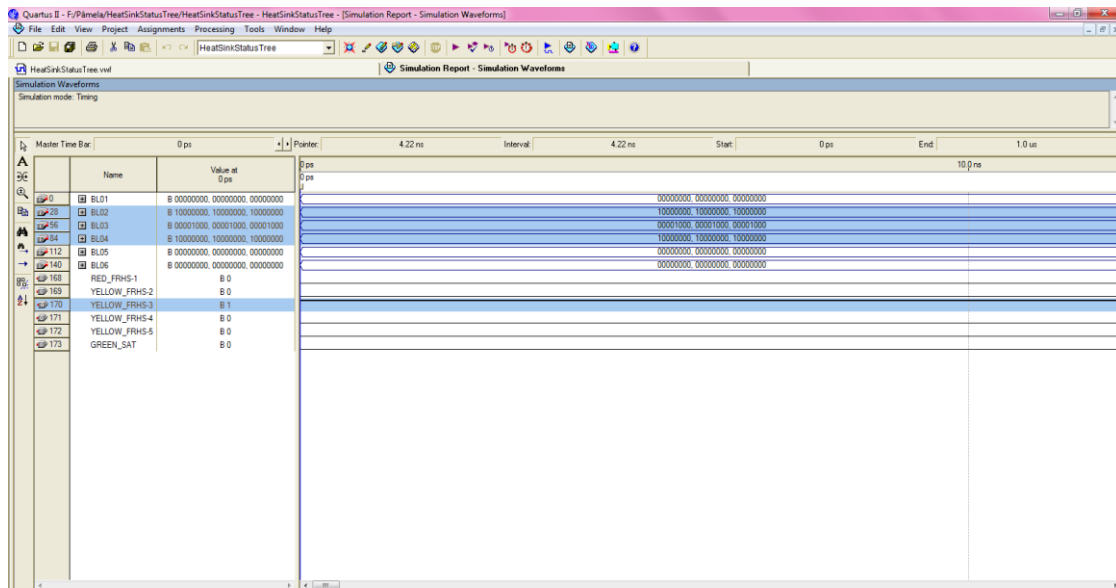


Figura 61—Simulação do resultado YELLOW\_FRHS-3

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a < b$  nos três comparadores do bloco 04 combinado com o resultado de  $a = b$  nos três comparadores do bloco 05 ativa-se a saída YELLOW\_FRHS-4.

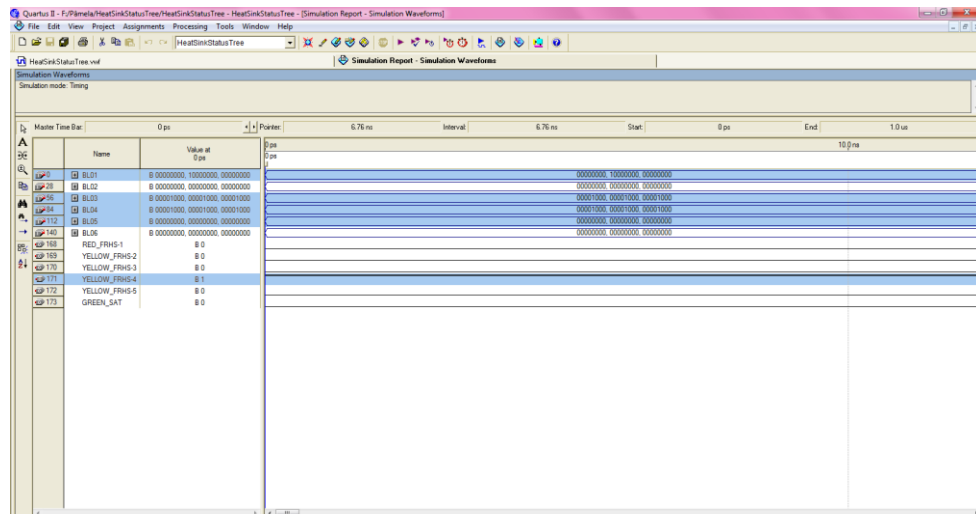


Figura 62– Simulação do resultado YELLOW\_FRHS-4

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a < b$  nos três comparadores do bloco 04 combinado com o resultado de  $a > b$  nos três comparadores do bloco 05 ativa-se a saída YELLOW\_FRHS-4.

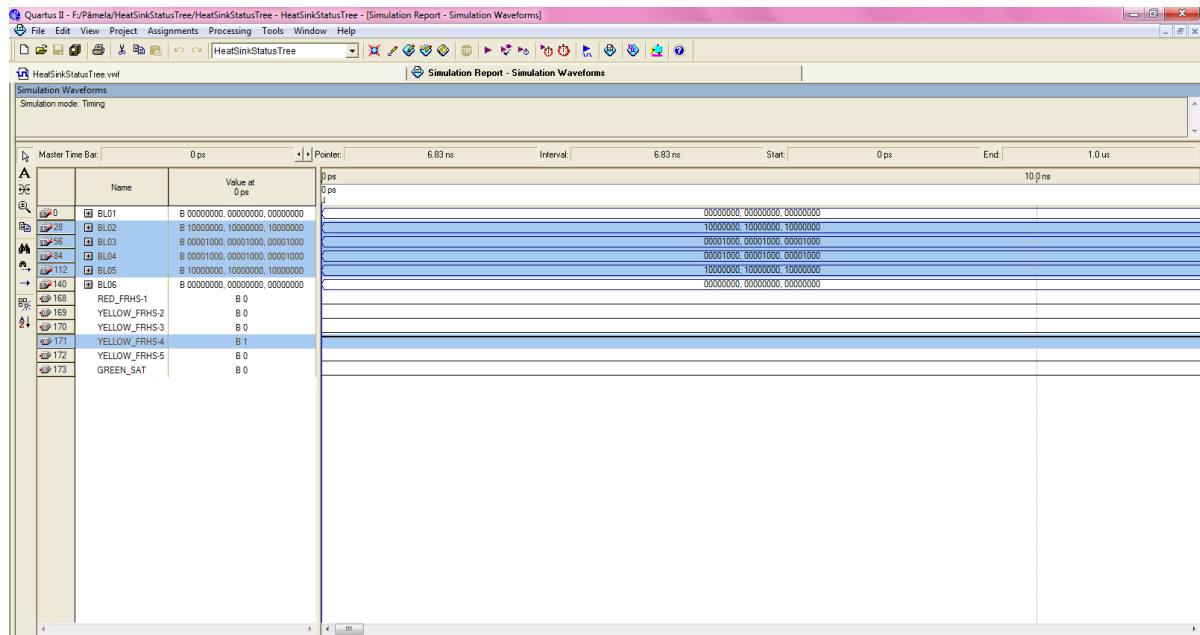


Figura 63– Simulação do resultado YELLOW\_FRHS-4

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a < b$  nos três comparadores do bloco 04 combinado com o resultado de  $a < b$  nos três comparadores do bloco 05 combinado com o resultado de  $a < b$  nos três comparadores do bloco 06 ativa-se a saída YELLOW\_FRHS-5.

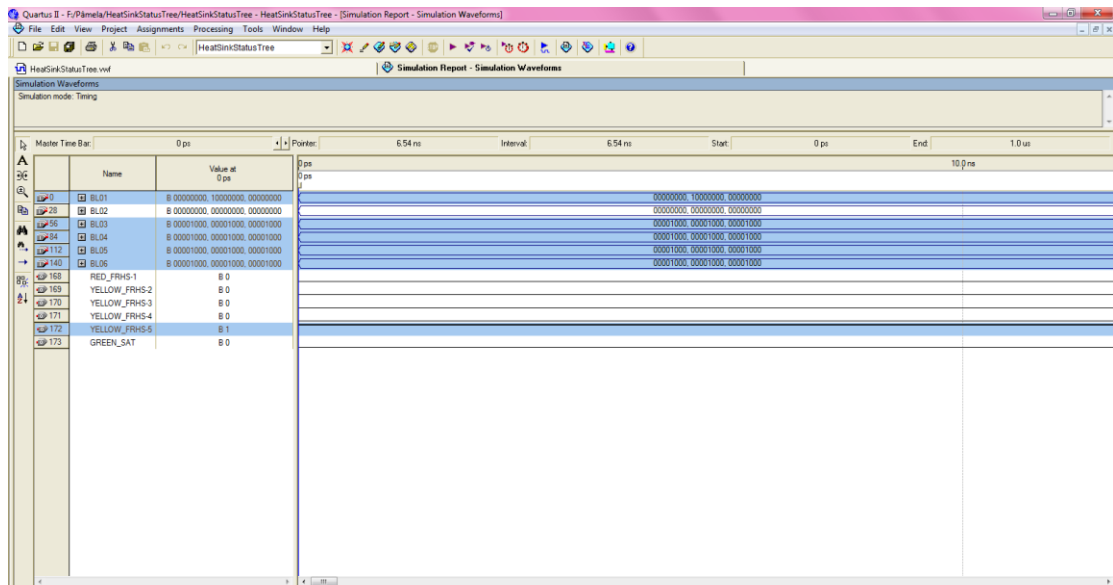


Figura 64—Simulação do resultado YELLOW\_FRHS-2

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a < b$  nos três comparadores do bloco 04 combinado com o resultado de  $a < b$  nos três comparadores do bloco 05 combinado com o resultado de  $a = b$  nos três comparadores do bloco 06 ativa-se a saída YELLOW\_FRHS-5.

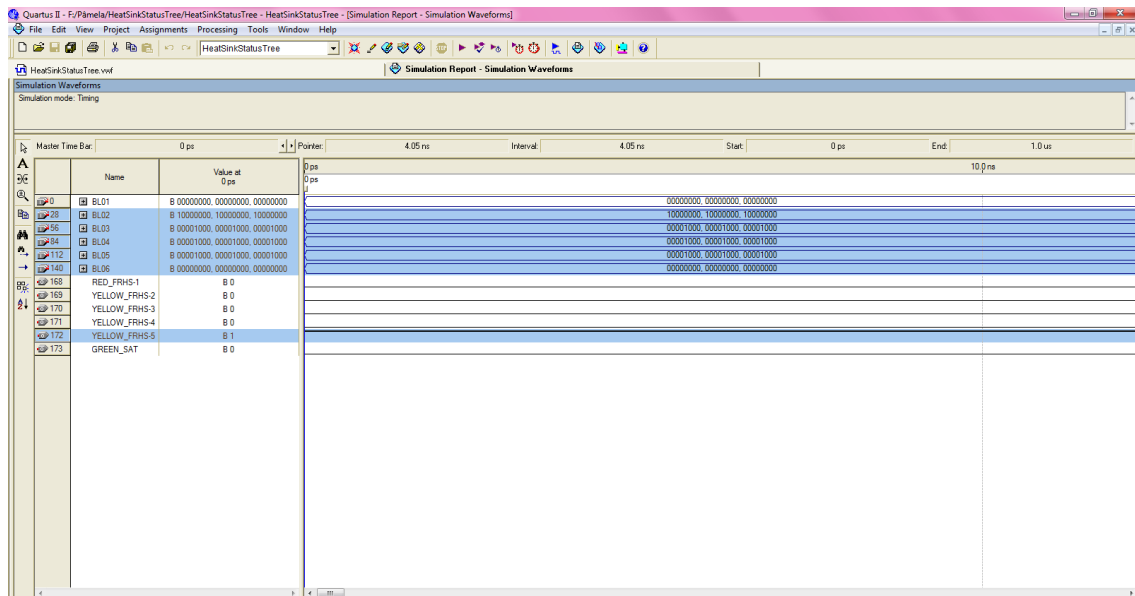


Figura 65—Simulação do resultado YELLOW\_FRHS-5

- Tendo em vista o resultado de  $a > b$  em pelo menos um dos três comparadores do bloco 01 ou o resultado de  $a > b$  nos três comparadores do bloco 02 combinado com o resultado de  $a < b$  nos três comparadores do bloco 03 combinado com o resultado de  $a < b$  nos três comparadores do bloco 04 combinado com o resultado de  $a < b$  nos três comparadores do bloco 05 combinado com o resultado de  $a > b$  nos três comparadores do bloco 06 ativa-se a saída GREEN\_SAT.



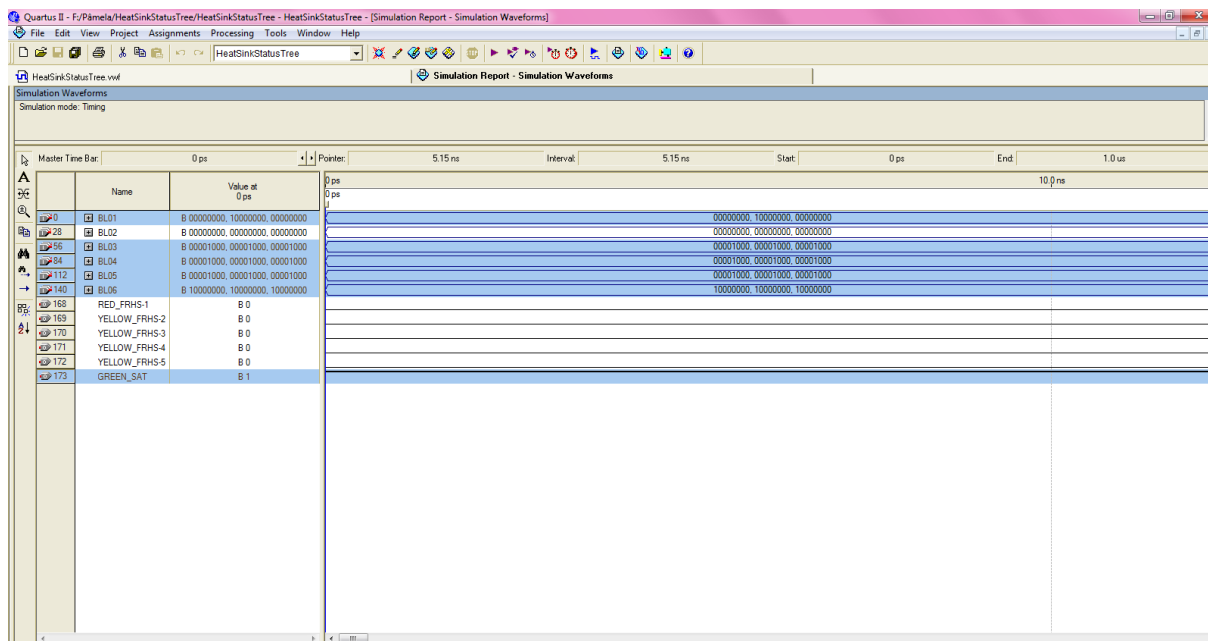


Figura 66– Simulação do resultado GREEN\_SAT

A funcionalidade foi simulada considerando sempre os três comparadores no mesmo estado, porém, de acordo com a descrição funcional de cada Bloco os resultados variam entre pelo menos um dos três comparadores e todos os comparadores resultando em menor, menor ou igual, igual ou maior e maior.

### 5.2.3 VHDL da FCS Transferência de Calor

```

1  LIBRARY IEEE;
2  USE IEEE.STD_LOGIC_1164.ALL;
3
4  ENTITY CORECOOLINGSTATUSTREE IS
5  PORT (BL01A,BL01B: IN BIT_VECTOR(3 DOWNTO 0);
6        BL02A,BL02B: IN BIT_VECTOR(3 DOWNTO 0);
7        BL03A,BL03B,BL03C: IN STD_LOGIC;
8        BL0401A,BL0401B,BL0402A,BL0402B,BL0403A,BL0403B,BL0404A,BL0404B: IN BIT_VECTOR(3 DOWNTO 0);
9        BL05A,BL05B: IN BIT_VECTOR(3 DOWNTO 0);
10       BL06A,BL06B: IN BIT_VECTOR(3 DOWNTO 0);
11       BL07A,BL07B: IN BIT_VECTOR(3 DOWNTO 0);
12       RED_FRCC1,PURPLE_FRCC2,YELLOW_FRCC3,GREEN_SAT: OUT STD_LOGIC);
13 END CORECOOLINGSTATUSTREE;
14
15 ARCHITECTURE COMPARA OF CORECOOLINGSTATUSTREE IS
16 BEGIN
17   PROCESS (BL01A,BL01B)
18   BEGIN
19     IF BL01A>BL01B THEN
20       RED_FRCC1<='1';
21       PURPLE_FRCC2<='0';
22       YELLOW_FRCC3<='0';
23       GREEN_SAT<='0';
24     ELSIF BL01A<=BL01B
25     AND BL02A>BL02B THEN
26       RED_FRCC1<='0';
27       PURPLE_FRCC2<='0';
28       YELLOW_FRCC3<='0';
29       GREEN_SAT<='1';
30     ELSIF BL01A<=BL01B
31     AND BL02A<=BL02B
32     AND (BL03A<='1' OR BL03B<='1' OR BL03C<='1')
33     AND ((BL0401A>BL0401B AND BL0402A<BL0402B AND BL0403A<BL0403B AND BL0404A<BL0404B)
34     OR (BL0401A>BL0401B AND BL0402A>BL0402B AND BL0403A<BL0403B AND BL0404A<BL0404B)
35     OR (BL0401A>BL0401B AND BL0402A>BL0402B AND BL0403A>BL0403B AND BL0404A<BL0404B)
36     OR (BL0401A>BL0401B AND BL0402A>BL0402B AND BL0403A>BL0403B AND BL0404A>BL0404B)) THEN
37       RED_FRCC1<='0';
38       PURPLE_FRCC2<='0';
39       YELLOW_FRCC3<='1';
40       GREEN_SAT<='0';
41     ELSIF BL01A<=BL01B
42     AND BL02A<=BL02B
43     AND (BL03A<='1' OR BL03B<='1' OR BL03C<='1')
44     AND (BL0401A<=BL0401B AND BL0402A<=BL0402B AND BL0403A<=BL0403B AND BL0404A<=BL0404B) THEN
45       RED_FRCC1<='0';
46       PURPLE_FRCC2<='1';
47       YELLOW_FRCC3<='0';
48       GREEN_SAT<='0';
49     ELSIF BL01A<=BL01B
50     AND BL02A<=BL02B
51     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
52     AND BL05A>BL05B
53     AND BL06A>BL06B THEN
54       RED_FRCC1<='0';
55       PURPLE_FRCC2<='1';
56       YELLOW_FRCC3<='0';
57       GREEN_SAT<='0';
58     ELSIF BL01A<=BL01B
59     AND BL02A<=BL02B
60     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
61     AND BL05A<=BL05B
62     AND BL06A<=BL06B THEN
63       RED_FRCC1<='1';
64       PURPLE_FRCC2<='0';
65       YELLOW_FRCC3<='0';
66       GREEN_SAT<='0';
67     ELSIF BL01A<=BL01B
68     AND BL02A<=BL02B
69     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
70     AND BL05A<=BL05B
71     AND BL07A>BL07B THEN
72       RED_FRCC1<='0';
73       PURPLE_FRCC2<='0';
74       YELLOW_FRCC3<='1';
75       GREEN_SAT<='0';
76     ELSIF BL01A<=BL01B
77     AND BL02A<=BL02B
78     AND (BL03A='0') AND (BL03B='0') AND (BL03C='0')
79     AND BL05A<=BL05B
80     AND BL07A<=BL07B THEN
81       RED_FRCC1<='0';
82       PURPLE_FRCC2<='1';
83       YELLOW_FRCC3<='0';
84       GREEN_SAT<='0';
85   END IF;
86 END PROCESS;
87 END COMPARA;

```

Figura 67– VHDL da FCS Transferência de Calor

Após concluído o esquemático das funções críticas e a verificação através da simulação, podemos concluir o êxito do projeto proposto numa eventual implantação.

Com os dados referentes às FCS, torna-se possível desenvolver através da linguagem VHDL o código correspondente a cada função.

Depois de descritos os componentes e as etapas de desenvolvimento do VHDL, fazemos a simulação, através da qual identificamos possíveis erros, simulamos erros e comprovamos a sua eficiência, pois verificamos que o hardware responde corretamente à lógica fornecida.

## 6CONCLUSÃO

Funções críticas de segurança são funções necessárias para prevenir acidentes ou mitigar consequências mais graves de acidentes ainda durante a operação normal, antecipando assim ocorrências e condições de acidentes. Os dispositivos de segurança incorporados ao projeto asseguram a possibilidade de controle de acidentes, cuja ocorrência, embora extremamente improvável, é postulada como base de projeto. Princípios de segurança baseados em recomendações de órgãos regulatórios internacionais são aplicados em todas as fases do projeto de uma usina nuclear. Essas recomendações e aprovação podem ser significativamente simplificadas com o uso do FPGA.

Através da árvore de estados das funções críticas Resfriamento do Núcleo e Transferência de Calor, foram feitas as modelagens em FPGA. Para se obter uma visão que aproximasse a realidade do esquemático, foi usado o software Quartus, que facilita o entendimento e a compreensão das entradas, saídas, portas lógicas e outros componentes, fazendo a simulação através da combinação de resultados parciais para gerar resultados finais e emitir sinais para as saídas. Com o esquemático respondendo corretamente a lógica, foi descrito todo o processo em linguagem de descrição de hardware (VHDL), para que se torne possível a futura implementação no FPGA.

Os resultados das modelagens mostraram que a arquitetura proposta realiza com eficiência a tarefa de implementar a lógica das FCS de um reator nuclear.

Como sugestão para trabalhos futuros, podemos citar a modelagem de outras FCS e desenvolver um equipamento para as FCS baseado em FPGA, e comparar o seu desempenho com a lógica das árvores das FCS, implementado no simulador LABIHS.

## REFERÊNCIAS BIBLIOGRÁFICAS

Altera. **Quartus II Simulator Tools for Education**. Disponível em: [www.altera.com/education/univ](http://www.altera.com/education/univ). Acesso em: 11 jul. 2015.

BRASIL. Critérios de Segurança Adotados Para as Usinas Nucleares Angra 1, Angra 2, Angra 3, 2011. Disponível em [www.eletronuclear.gov.br](http://www.eletronuclear.gov.br). Acesso em 10 de maio de 2015.

CESP-Desenvolvimento de um Sistema de Supervisão de Parâmetros de Segurança para Angra I, 1986.

CLARKSON, G. 2008. **FPGA Based Safety Related I&C Wolf Creek Generating Station, Presented** at the 1st IAEA Workshop on Applications of Field-programmable Gate Arrays in Nuclear Power Plants, France.

CNEN - Apostila educativa (Energia nuclear), 2013. Disponível em [www.cnen.gov.br](http://www.cnen.gov.br). Acesso em 20 de março de 2015.

CORCORAN W.R. et al. (1981). **The Critical Safety Functions and Plant Operation**. Nuclear Technology Vol.55, December 1981.

D'AMORE, R. VHDL. **Descrição e síntese de circuitos digitais**. Editora LTC., 2005.

ELETROBRÁS–Usinas Nucleares, Segurança e Fukushima, 2012.

FPGA- Disponível em [www.altera.com](http://www.altera.com). Acesso em 11 de julho de 2015.

FURUTA, K. and Furuhashi, Y. (1999). **Cognitive space of operator's knowledge**. *Ergonomics*, **42**, pp.1431-1442.

GONÇALVES, R. A. et al. Architect-r: a system for reconfigurable robots. In **In proceedings of ACM annual symposium on Applied Computing – SAC** Melbourne, Florida.

HUHN Kim et al (2001). **Interface design for monitoring and recovering critical safety functions in nuclear control room**.

IEEE Std 1076, 2000: **1076-2000 - IEEE Standard VHDL Language Reference Manual**.

IEEE 880 (1995) : **Circuits and Systems**, 1995. ISCAS '95., 1995 IEEE International Symposium on.

ISO 11064, 2002: ISO 11064-3:1999/Cor 1:2002 **Ergonomic design of control centres Part 3: Control room layout** - Technical Corrigendum 1.

**JUN-JEN Lu et al (2015).** System assessment of an FPGA-based RPS for ABWR nuclear powerplant.

KEMENY Commission. **Report of the President's Commission on the Accident at Three Mile Island.** Outubro 1979.

MARTINS et. Al. 2003. Computação reconfigurável: conceitos, tendências e aplicações. In **Jornada de Atualização em Informática** (JAI 2003), p. 339-388. Campinas, SP. Sociedade Brasileira de Computação.

MESQUITA, D.G. **Contribuições para reconfiguração parcial, remota e dinâmica de FPGAs.** Master's thesis. Pontifícia Universidade Católica do Rio Grande do Sul. Porto Alegre, 2002.

NAKAGAWA, Y., 2008. **Application of FPGAs in Japanese BWR**, Presented at the 11 IAEA Workshop on Applications of Field-programmable Gate Arrays in Nuclear

NGUYEN, T., 2008. EDF's **Projects with FPGAs**, Presented at the 1st IAEA Workshop on Applications of Field-programmable Gate Arrays in Nuclear Power Plants, France.

NUREG-0585, 1979 : **TMI-2 Lessons Learned Task Force Final Report** (NUREG-0585).

NUREG-0700 : **U.S. Nuclear Regulatory Commission, "TMI-2 Lessons Learned Task Force Final Report"**, NUREG-0585. Outubro, 1979.

ROGOVIN Inquiry Group, **Three Mile Island, a Report to the Commissioners and the Public.** U.S.N.R.C. Janeiro, 1980.

SMITH, J.E. (1993). **Modern Control Room Design Experience and Speculation.** ASME/JSME Nuclear Engineering Conference- Volume 2.

SALAMUN, I. MAVKO, B. STRITAR, A. (1993). **A Personal Computer Program for Emergency Operating Procedures Support.** IAEA-TECDOC-700.

SALEM/OPERATIONS,PSEG Nuclear L.L.C.(2005)**Critical Safety Function Status Trees.**

TEIXEIRA, Douglas Vidal (2007).**Ergonomics In The Conception Of Graphical Interfaces Of Nuclear Reactors Advanced Control Rooms.**

US.NRC,2007.**Update of the 2007 Strategic Assessment of the U.S Nuclear Regulatory Commission's Low-Level Radioactive Waste Regulatory Program.**

**U.S. Nuclear Regulatory Commission.** TMI-2 Lessons Learned Task Force Final Report. NUREG-0585. Outubro, 1979.

WESTINGHOUSE Owners Group.**Emergency Response Guidelines.** Revisão 1, Setembro, 1983.