

Oscilador Analógico Multifásico em Tecnologia CMOS de 180nm para Circuitos Conversores de Tempo-Digital

Erlon B. Lima (CTI) erlon.lima@cti.gov.br

Wellington Melo (CTI) wellington.melo@cti.gov.br

Saulo Finco (CTI) saulo.finco@cti.gov.br

Resumo

Este artigo apresenta o projeto e a caracterização de um sistema multifásico implementado em ASIC, utilizando a tecnologia CMOS XT018 de 180 nm da X-FAB, voltado a aplicações em conversores tempo-digital (TDCs). A arquitetura é composta por um oscilador em anel, responsável pela geração do sinal base a 500 MHz, e por um bloco multifásico em cascata de buffers, encarregado de produzir 16 fases igualmente espaçadas, com resolução temporal efetiva de aproximadamente 125 ps. As simulações transientes demonstraram variação de frequência central inferior a 1% e uniformidade de atraso entre fases com variação absoluta inferior a 1ps confirmando a estabilidade e a precisão da arquitetura proposta. Esses resultados evidenciam o potencial do sistema para aplicações em TDCs de alta resolução, oferecendo uma solução de baixo custo e otimizada para a tecnologia CMOS de 180 nm.

Palavras-chave: *Time-to-Digital Converter, Microeletrônica, CMOS, Circuitos Integrados Analógicos, Oscilador Multifásico.*

1. Introdução

A crescente demanda por sistemas de medição temporal cada vez mais precisos impulsiona, desde a década de 1970, o avanço dos conversores tempo-digital (Time-to-Digital Converters – TDCs). Com o progresso contínuo das tecnologias de fabricação e a busca por resoluções temporais precisas, TDCs vêm sendo amplamente empregados em aplicações de ponta, como PLLs digitais avançados (ADPLLs), tomografia por emissão de pósitrons (PET), sistemas de tempo de voo (ToF), LiDAR, osciloscópios digitais, sensores biomédicos e sistemas embarcados sensíveis.

Embora o contexto geral do projeto envolva o sistema TDC completo, este artigo dedica-se especificamente ao projeto, implementação e caracterização de dois blocos fundamentais: o oscilador em anel analógico e o gerador de atrasos multifásico deste clock. Ambos foram realizados utilizando a tecnologia CMOS de 180 nm da X-FAB, buscando a geração de sinais temporais altamente resolutos e estáveis, essenciais para medições precisas de tempo.

A resolução temporal é um dos principais parâmetros em TDCs, junto da linearidade e alcance dinâmico. Técnicas de divisão multifásica do clock possibilitam subdividir seu período em múltiplas fases, ampliando a granularidade da medição e viabilizando resoluções próximas a dezenas de picosegundos. No presente trabalho, o oscilador em anel foi projetado para operar a 500 MHz e sua saída utilizada para gerar dezesseis sinais de clock multifásicos, defasados uniformemente com resolução temporal aproximada de 125 picosegundos. Os resultados obtidos validam a viabilidade e

consistência da arquitetura, evidenciando o potencial da tecnologia CMOS 180 nm da X-FAB para aplicações integradas de alta precisão em sistemas de medição temporal.

2. Fundamentos do TDC

O conversor tempo-digital (TDC) possui dois sinais principais de entrada, start e stop, utilizados para delimitar o intervalo de tempo a ser medido pelo circuito. Esse intervalo é subdividido em pequenas frações utilizando contadores digitais operando com múltiplos clocks defasados, o que determina diretamente a resolução temporal atingível pelo sistema.

A Figura 1 exibe um diagrama de blocos de um circuito TDC, destacando como os pulsos de entrada ativam o mecanismo de contagem. Durante o intervalo de medição, cada contador registra o número de ciclos de clock transcorridos entre start e stop.

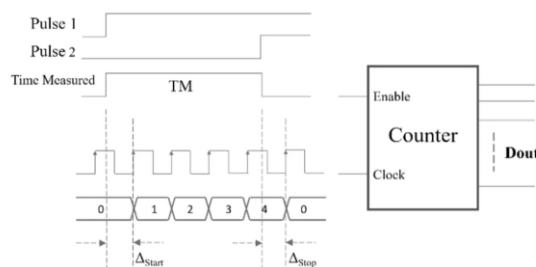


Figura 1 - Diagrama de blocos conceitual de um conversor tempo-digital (TDC)

Ao final do processo, os valores acumulados por todos os contadores são somados de modo digital, e o resultado da soma representa a saída do TDC — correspondendo ao tempo medido com alta precisão como ilustrado na Figura 2.

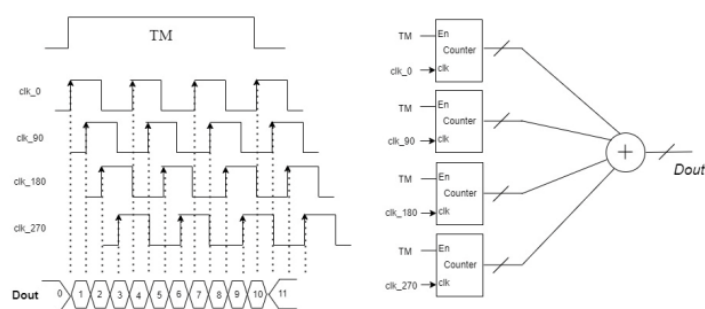


Figura 2 - Exemplo de funcionamento do TDC multifases: divisão do intervalo de tempo entre pulsos por contadores alimentados por clocks defasados e soma digital das contagens para obtenção do resultado com alta resolução temporal.

3. Arquitetura

A arquitetura explorada neste trabalho concentra-se na concepção, modelagem e caracterização de dois blocos essenciais para medições temporais precisas: o oscilador em anel e o circuito defasador multifásico. Todo o desenvolvimento foi realizado em ambiente Cadence, voltado para tape-out em CMOS 180 nm da X-FAB.

O oscilador em anel é responsável pela geração de um sinal de clock único e periódico, implementado como uma cadeia de inversores CMOS dimensionados conforme as restrições da tecnologia XT018. A frequência de oscilação é definida pelas constantes de atraso dos estágios, pelo número de inversores e pelo dimensionamento dos transistores.

Diferentemente de algumas abordagens onde se utilizam taps intermediários do anel para obter defasagens, neste projeto todo o circuito multifases foi implementado a partir da saída principal do oscilador. Para isso, uma rede sequencial de buffers dedicados realiza o escalonamento temporal dos sinais, com atrasos cuidadosamente modelados para gerar os múltiplos clocks defasados uniformemente — cada um correspondendo a uma fração específica do ciclo de clock. Essa topologia permite maior controle sobre os tempos de propagação, facilita a sintonia das resoluções temporais e otimiza a uniformidade entre as fases. A Figura 3 ilustra o diagrama de blocos de um TDC.

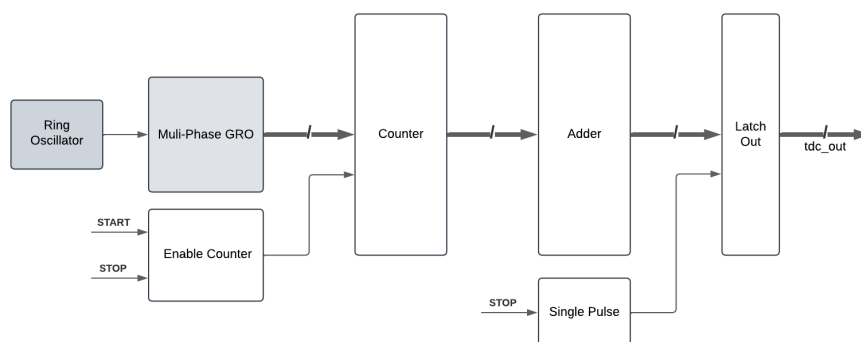


Figura 3 - Diagrama de blocos do TDC desenvolvido, com ênfase no oscilador em anel e no bloco multifásico responsáveis pela geração das fases defasadas analisadas neste trabalho.

4. Implementação

A etapa de implementação foi realizada integralmente em ambiente Cadence Virtuoso, utilizando a tecnologia CMOS de 180 nm da X-FAB e modelos de processo XT018. Esta seção trata separadamente do projeto, dimensionamento e validação dos dois blocos fundamentais deste trabalho: o oscilador em anel (subseção 4.1) e o circuito multifases (subseção 4.2).

4.1. Oscilador em Anel

O gerador de clock foi concebido como um oscilador em anel analógico, composto por quinze estágios lógicos, sendo o primeiro constituído por uma porta NAND. Essa escolha estrutural viabiliza a introdução de um sinal de reset assíncrono, essencial para controle de inicialização do circuito tanto em testes quanto em operação integrada. A Figura 4 ilustra o diagrama esquemático do circuito oscilador em anel.



Figura 4 - Diagrama esquemático do circuito oscilador em anel

A cadeia lógica do oscilador é formada por uma sequência de 14 inversores CMOS encadeados em série, precedidos pela porta NAND customizada. A saída do último inversor é realimentada para a entrada da porta NAND, junto com o sinal de reset. Quando o reset está ativo em nível baixo, a oscilação é interrompida, assegurando controle e prevenção de estados indesejados. Ao liberar o reset, o circuito oscila continuamente, com a frequência determinada pelo atraso médio de cada estágio. Com 15 estágios, o atraso médio por estágio necessário para atingir a frequência alvo de 500 MHz é de aproximadamente 67 ps, resultando em um período total de 2 ns, condizente com o objetivo de projeto.

Devido às limitações no design kit XT018, onde as células padrão apresentavam atrasos incompatíveis com a resolução desejada, todas as portas NAND e inversores foram projetados manualmente, utilizando transistores NMOS e PMOS do PDK. O ajuste fino de largura (W) e comprimento (L) foi realizado para garantir precisão temporal, estabilidade da forma de onda e compatibilidade com a frequência alvo, resultando em constantes médias de atraso adequadas e estabilidade do sinal obtida nas simulações.

A Figura 5 ilustra o esquemático transistor-level da porta NAND e do inversor customizados implementada no oscilador, evidenciando as principais conexões e o dimensionamento manual adotado.

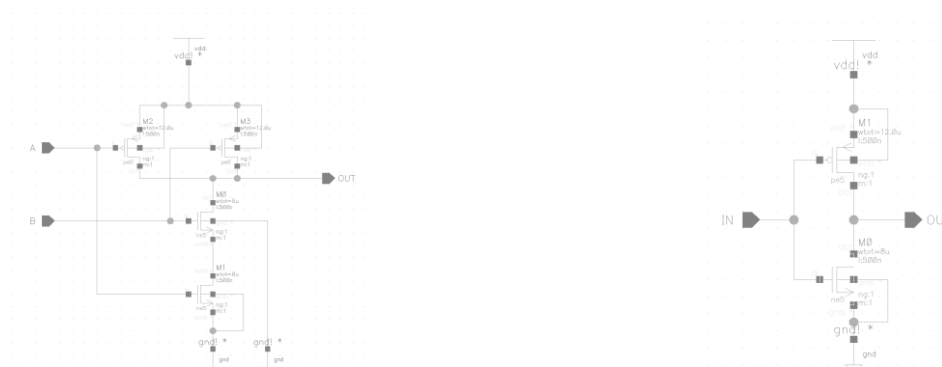


Figura 5 - Porta NAND e porta inversora utilizadas na implementação do oscilador em anel, responsáveis respectivamente pelo controle de habilitação e pela realimentação oscilatória do circuito

4.2. Circuito de Geração dos Clocks Multifásicos

A geração dos sinais de clock multifásicos fundamenta-se na defasagem controlada do sinal oscilante principal, proveniente do oscilador em anel descrito na Seção 4.1 (ver Figura 4). O sinal de saída principal, clkOut, opera a 500 MHz e serve como referência temporal para a construção dos demais clocks multifásicos do sistema.

Na arquitetura proposta, o bloco multifásico é implementado como uma cadeia sequencial de buffers em cascata, responsável por introduzir incrementos uniformes de atraso a partir de clkOut. Cada estágio da cadeia apresenta atraso médio de aproximadamente 125 ps, de modo que a defasagem entre fases consecutivas (clk0out, clk1out, clk2out, ...) corresponde a 22,5° do ciclo de clock.

Dessa forma, a propagação do sinal ao longo da cadeia gera 16 fases igualmente espaçadas, cobrindo todo o período de 2 ns do clock de 500 MHz. Em particular, observa-se que os sinais clk0out

e clk8out apresentam defasagem de 180° (1 ns), caracterizando a relação complementar essencial para aplicações em TDCs multifásicos.

Essa abordagem em cascata simplifica a topologia, garante uniformidade entre fases e facilita o ajuste fino do atraso por estágio, assegurando a precisão temporal necessária para aplicações de alta resolução.

A relação entre o período do clock e o espaçamento temporal entre fases é determinada pela expressão (Equação 1):

$$\text{Defasagem temporal} \approx \frac{\text{Período do clock}}{\text{Número de fases}}$$

Para o clock de 500 MHz (período de 2 ns), temos:

$$\text{Defasagem temporal} \approx \frac{2\text{ns}}{16} = 125\text{ps}$$

Portanto, cada fase é espaçada de 125 ps em relação à anterior.

Todos os elementos de atraso foram implementados como buffers analógicos customizados com transistores PMOS e NMOS da tecnologia CMOS de 180 nm, conforme esquemático da Figura 6. O ajuste manual de largura (W) e comprimento (L) dos transistores permitiu obter precisão temporal, estabilidade e matching de subida/descida, garantindo estabilidade nas simulações. Essa abordagem bottom-up e refinada do circuito multifásico garante defasagens estáveis e simétricas entre todos os clocks, sendo essencial para aplicações de metrologia temporal avançada.

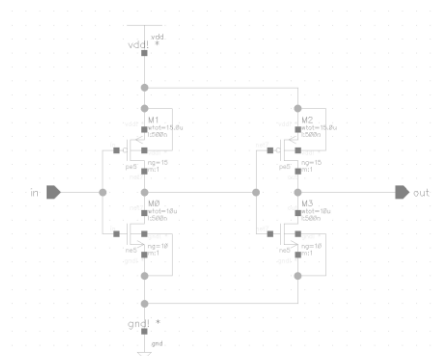


Figura 6 - Esquemático elétrico do buffer customizado utilizado em cada estágio do circuito defasador multifásico.

A customização do buffer não só possibilitou o alcance dos 125 ps de atraso por estágio, como também garantiu matching apropriado de subida e descida, aspectos essenciais em aplicações de temporização crítica como em TDCs multifásicos. Esse critério norteou o dimensionamento dos

buffers e foi validado por simulações elétricas, assegurando a resolução temporal necessária para aplicações de alta precisão no contexto de TDCs.

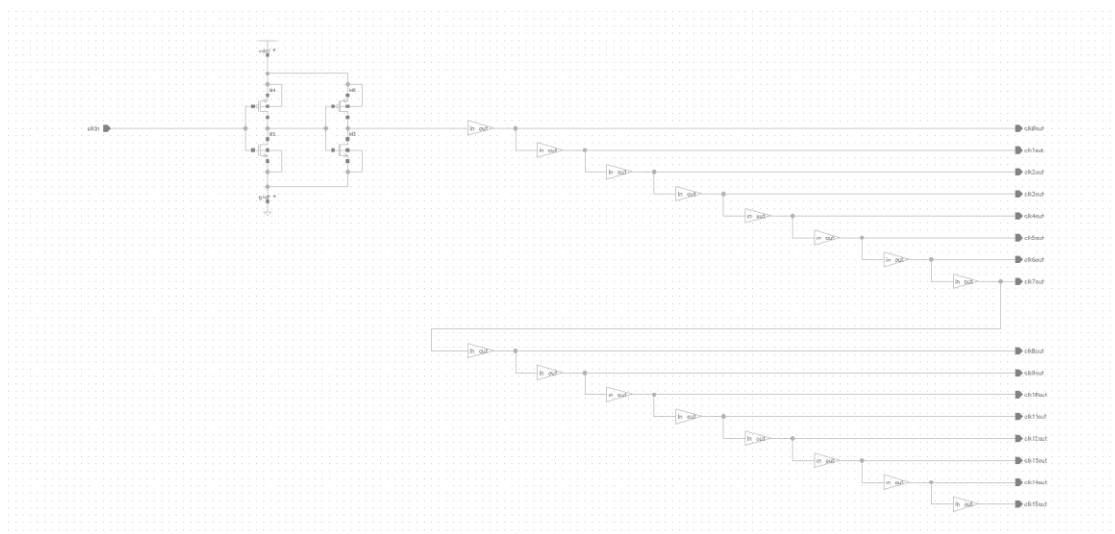


Figura 7 – Diagrama esquemático do circuito multifásico implementado em cascata

5. Resultados e Discussões

5.1. Contexto e Arquitetura testada

A validação prática do sistema proposto foi conduzida por meio de simulações elétricas transientes no ambiente CAD/Cadence Virtuoso, considerando a modelagem completa dos blocos analógicos e digitais. O diagrama esquemático da integração dos módulos utilizado para simulação (Figura 8) evidencia a topologia adotada: o sinal de saída do oscilador em anel é aplicado diretamente ao bloco multifásico, o qual já incorpora internamente um buffer de acoplamento responsável por preservar a integridade do sinal principal.

Essa integração garante que o clock seja distribuído de forma uniforme ao longo da cadeia de buffers em cascata, reduzindo a influência de carga entre módulos e assegurando a consistência temporal necessária para a geração das dezesseis fases igualmente espaçadas.

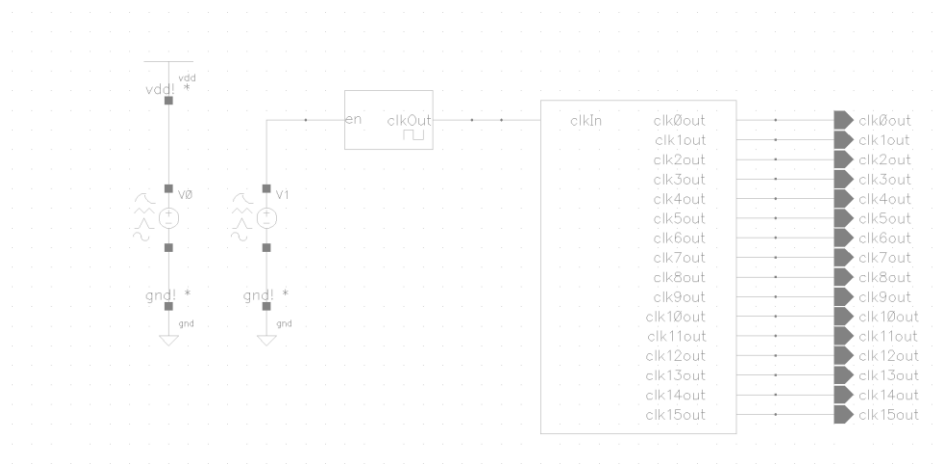


Figura 8 – Diagrama esquemático de integração dos módulos para simulação

5.2. Validação do Clock

O gráfico da Figura 9 apresenta o resultado da simulação transiente para o sinal clk0out, obtido na saída principal do oscilador em anel. Observa-se uma forma de onda digital limpa, com transições de subida e descida rápidas, amplitude entre 0 e 5 V e período de aproximadamente 2 ns, correspondente a uma frequência de 500 MHz. O duty cycle estabilizado em torno de 50% confirma a eficiência do dimensionamento dos buffers e a consistência do projeto, assegurando a adequação do circuito para aplicações de temporização de alta precisão.

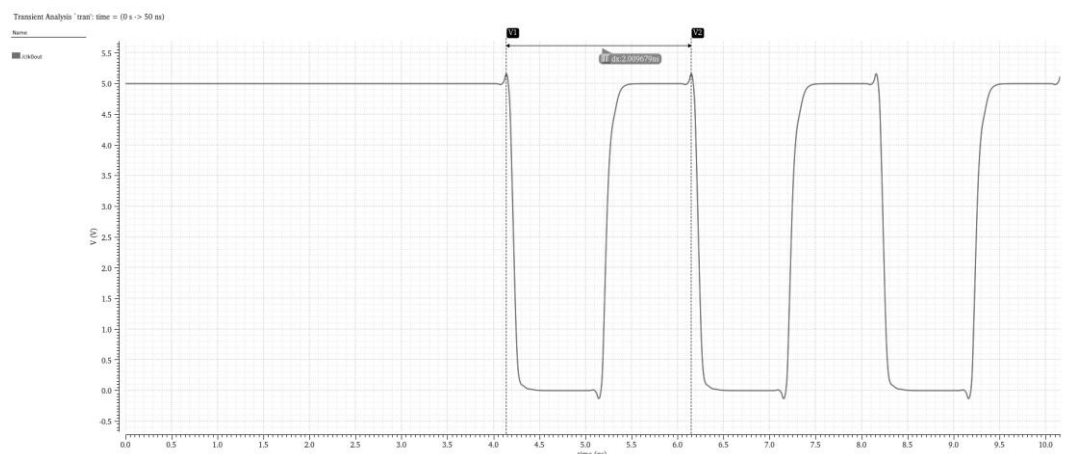


Figura 9 – Forma de onda simulada de clk0out, com período de 2 ns (500 MHz) e duty cycle próximo de 50%.

5.3. Análise da Defasagem Temporal Entre Fases

Nas análises dos atrasos entre as diversas fases do sistema multifásico, conforme ilustra o gráfico da figura 10, observou-se que as defasagens entre os clocks apresentaram valores médios próximos de 125 ps, em boa concordância com o esperado para um clock de 500 MHz dividido em 16 fases. Esse resultado evidencia a aderência do projeto e o controle eficiente do atraso introduzido pelos buffers em cascata.

De forma particular, verificou-se que os sinais clk0out e clk8out mantêm uma defasagem de aproximadamente 1 ns, correspondendo a 180° do período do clock, o que confirma a relação complementar entre os dois grupos de fases.

As pequenas variações observadas entre alguns pares de fases são atribuídas a assimetrias residuais no dimensionamento dos buffers e às diferenças de slew rate, mas não comprometem a uniformidade geral do sistema. No conjunto, os resultados demonstram a consistência da arquitetura adotada e a qualidade da implementação do bloco multifásico.

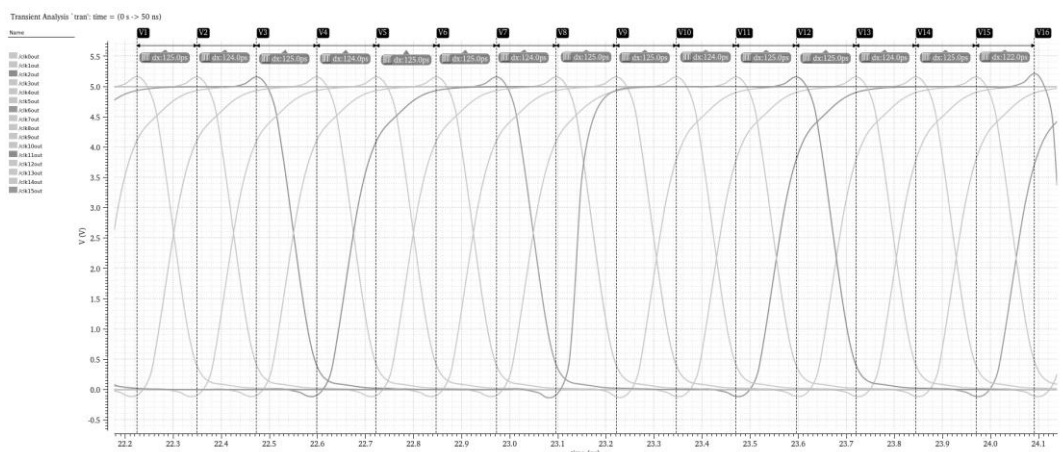


Figura 10 - Comparativo das bordas de subida entre diferentes fases do circuito multifásico. Observa-se o espaçamento médio de aproximadamente 125 ps entre transições consecutivas, confirmando a uniformidade da defasagem introduzida pela cadeia de buffers em cascata e a consistência da arquitetura projetada.

5.4. Relação Complementar

A Figura 11 ilustra a relação complementar entre os sinais clk0out e clk8out. Observa-se que, ao longo do período de aproximadamente 2 ns, os sinais mantêm sempre estados lógicos opostos, caracterizando corretamente a defasagem de meio período (180°).

Esse comportamento confirma a simetria angular entre as fases geradas e a consistência do método de defasagem em cascata, assegurando duty cycles equilibrados e a complementaridade necessária para aplicações em TDCs multifásicos.

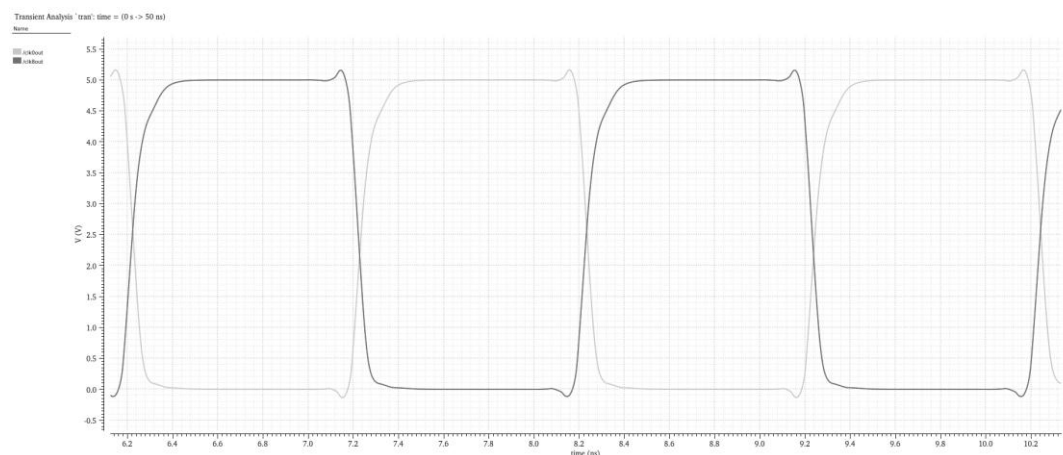


Figura 11- Forma de onda simulada de clk0out e clk8out, evidenciando defasagem de 180° (1 ns a 500 MHz) e duty cycles complementares.

5.5. Resultado

Os resultados obtidos nas simulações transientes confirmam a eficiência da arquitetura proposta. O circuito multifásico apresentou boa precisão temporal, com espaçamento médio de aproximadamente 125 ps entre fases consecutivas, em conformidade com o valor esperado para um clock de 500 MHz dividido em 16 fases.

A análise das formas de onda evidenciou duty cycles próximos de 50% e defasagem de 180° entre clk0out e clk8out, validando a complementaridade entre os grupos de fases. A uniformidade das defasagens e a repetibilidade dos resultados demonstram a consistência da abordagem em cascata de buffers, assegurando a geração de sinais estáveis e simétricos conforme o gráfico ilustrado na figura 12.

De forma geral, o sistema mostrou-se adequado para aplicações em TDCs multifásicos e circuitos de temporização crítica, oferecendo resolução temporal compatível com requisitos de alta precisão em tecnologia CMOS de 180 nm.

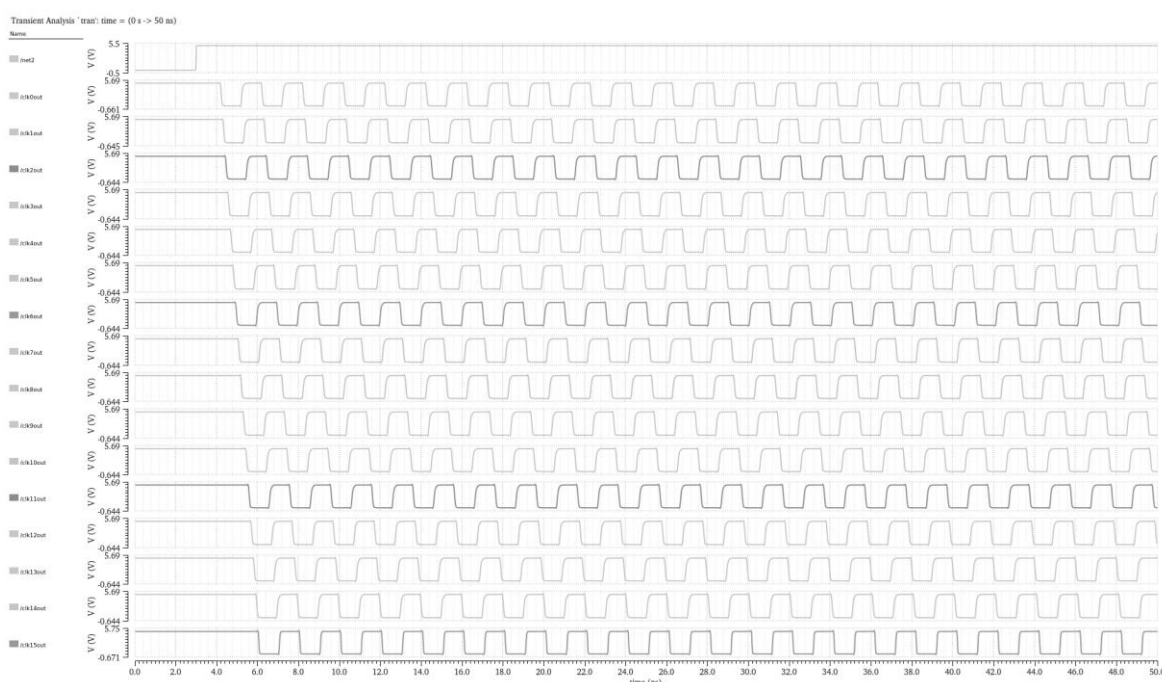


Figura 12 - Simulação do circuito multifásico, de clk0out a clk15out, evidenciando as 16 fases igualmente espaçadas ao longo do período de 2ns.

6. Conclusão

As simulações realizadas confirmaram a viabilidade e a eficiência da arquitetura multifásica proposta, implementada em tecnologia CMOS de 180 nm.

Os resultados demonstraram resolução temporal efetiva de aproximadamente 125 ps, duty cycle próximo de 50% e defasagem de 180° entre clk0out e clk8out, validando a complementaridade entre os grupos de fases. A uniformidade das defasagens foi confirmada, com variação relativa menor que 1ps entre fases consecutivas, evidenciando a consistência e a estabilidade do sistema.

De forma geral, a solução proposta mostrou-se adequada para aplicações em TDCs e sistemas de temporização crítica, oferecendo baixo custo de integração e aproveitando de forma otimizada os recursos da tecnologia CMOS de 180 nm. Como trabalhos futuros, destacam-se a implementação física em layout, a análise de variações de processo, tensão e temperatura (PVT) e a exploração de topologias híbridas para ampliar a faixa de operação

7. Referências

Mattawa MP, Guhilot H. “Time-to-digital converters – A comprehensive review”. *Int J Circ Theor Appl*. 2021;49:778-800.<https://doi.org/10.1002/cta.2936>.

Mahantesh Mattada, Hansraj Guhilot “62.5 ps LSB resolution multiphase clock Time to Digital Converter (TDC) implemented on FPGA” *Journal of King Saud University - Engineering Sciences* 34 (2022) 418-424 <https://doi.org/10.1016/j.jksues.2021.01.007>.

Rui Machado, Jorge Cabral, And Filipe Serra Alves All-Digital Time-to-Digital Converter Design Methodology Based on Structured Data Paths *IEEE Access* Volume 7, August 20, 2019.

Szyduczynski, Jakub, Dariusz Koscielnik, and Marek Miskowicz. "Time-to-digital Conversion Techniques: A Survey of Recent Developments." *Measurement: Journal of the International Measurement Confederation* 214 (2023): *Measurement: Journal of the International Measurement Confederation*, 2023, Vol.214. Web.

T. Sui et al., "A 2.3-ps RMS Resolution Time-to-Digital Converter Implemented in a Low-Cost Cyclone V FPGA," in *IEEE Transactions on Instrumentation and Measurement*, vol. 68, no. 10, pp. 3647-3660, Oct. 2019, doi 10.1109/TIM.2018.2880940.

Yu Wang, Wujun Xie, Haochang Chen, David Day-Uei Li “High resolution time-to-digital converters (TDCs) with a bidirectional encoder”, *Measurement* 206 (2023) 112258 <https://doi.org/10.1016/j.measurement.2022.112258>.

W. R. Melo, J.A. Diniz, S. Finco, M. C. Carlos and V. J. S. Oliveira “A multi-phased ring oscillator TDC, designed in HDL language, applied to a low-cost FPGA” - XVII Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC 2023 - March 29th to 31th.

W. R. Melo, J. A. Diniz, V. J. S. Oliveira and S. Finco “Multi-Phased Oscillator for TDC applications implemented in low-cost FPGA” – Workshop on Circuits and System Design - WCAS2024 – Chip on the Cliffs 2024– September 2nd to 6th, 2024.