

## Desenvolvimento de SoC RISC-V voltado a FPGA e ASICs em Ambientes Aeroespaciais

Marcelo Casari Carlos (CTI) [mccarlos@cti.gov.br](mailto:mccarlos@cti.gov.br)

### Resumo

O presente artigo apresenta o desenvolvimento de um System-on-Chip (SoC) baseado na arquitetura aberta **RISC-V**, utilizando o núcleo **NEORV32** implementado em **VHDL** e sintetizado na plataforma **DE10-Nano** (Intel Cyclone V). O trabalho insere-se no contexto de **autonomia tecnológica e aplicações aeroespaciais**, explorando a viabilidade de se empregar processadores abertos, configuráveis e tolerantes à radiação em sistemas críticos. Inicialmente, a plataforma RISC-V foi escolhida por sua natureza livre de licenças e modularidade, permitindo o uso de extensões e instruções customizadas voltadas à confiabilidade e segurança. O NEORV32 foi selecionado por combinar simplicidade estrutural, flexibilidade de configuração e documentação aberta, além de ser totalmente compatível com fluxos de síntese FPGA/ASIC. A DE10-Nano foi utilizada como banco de provas para validação funcional. A metodologia proposta abrange a prototipagem em FPGA para em sequência futura a aplicação para tecnologias **TSMC 65 nm** e **X-FAB 180 nm**, utilizando ferramentas Cadence e preparando o caminho para futuras implementações ASIC voltadas a satélites e cargas úteis. O estudo contribui para a consolidação de um fluxo nacional de **design espacial tolerante à radiação**, fortalecendo a formação de competências no CTI Renato Archer e demais instituições do ecossistema aeroespacial brasileiro.

*Palavras-chave:* **RISC-V; NEORV32; DE10-Nano; RHBD; FPGA; ASIC; TMR; ECC; SEU; Aeroespacial.**

### 1. Introdução

O avanço da exploração espacial e o aumento da complexidade das missões orbitais exigem sistemas embarcados cada vez mais confiáveis, eficientes e auditáveis. Em particular, o segmento de **eletrônica aeroespacial** demanda soluções que combinem **baixo consumo de energia, robustez frente à radiação e independência tecnológica**. Tradicionalmente, as plataformas utilizadas em satélites e veículos espaciais empregam processadores comerciais licenciados, como ARM ou LEON, o que implica custos elevados, restrições de exportação (ITAR) e dependência de fornecedores estrangeiros. Nesse cenário, a arquitetura **RISC-V** surge como uma alternativa estratégica e aberta, capaz de promover a **soberania tecnológica e a customização total do hardware**, desde o nível de instrução até o layout físico do circuito integrado. Além de ser uma ISA (Instruction Set Architecture) livre de royalties, o RISC-V permite que pesquisadores, universidades e centros tecnológicos desenvolvam seus próprios processadores e sistemas embarcados com **transparência de código-fonte**, favorecendo a validação formal, a reprodutibilidade e a integração com fluxos de projeto ASIC e FPGA. Essa característica é particularmente relevante para instituições brasileiras como o **CTI Renato Archer**, que atuam no desenvolvimento de circuitos integrados para o setor espacial, dentro das iniciativas do **MCTI** e do **Programa Nacional de Atividades Espaciais (PNAE)**.



Fig 1\_ RISC-V

A arquitetura RISC-V distingue-se pela simplicidade e pela modularidade de seu conjunto de instruções. O núcleo base, denominado **RV32I** ou **RV64I**, pode ser expandido com extensões opcionais que incluem operações matemáticas complexas, instruções de ponto flutuante, compressão de código e mecanismos de interrupção e controle de exceções. Essa modularidade permite que cada implementação seja ajustada conforme o perfil da aplicação, otimizando **área, potência e desempenho (PPA)**. Para sistemas espaciais, isso significa poder eliminar partes não utilizadas do processador, reduzindo a superfície sensível à radiação e o consumo energético, além de facilitar a verificação formal. Outro ponto fundamental é a **possibilidade de adicionar instruções customizadas**, que podem implementar funções específicas de missão, como verificação de integridade, criptografia de dados de telemetria ou controle redundante de sensores. Assim, o RISC-V não é apenas uma alternativa técnica, mas também uma **plataforma estratégica de inovação**, permitindo o desenvolvimento de processadores nacionais compatíveis com missões de pequeno porte, cubesats e cargas úteis científicas. O uso de ferramentas e fluxos abertos torna o aprendizado e a pesquisa mais acessíveis, fortalecendo a formação de novos especialistas em microeletrônica aeroespacial.

Dentre as diversas implementações do RISC-V disponíveis, o **NEORV32** destaca-se por ser um núcleo **100% escrito em VHDL**, amplamente compatível com ferramentas de síntese de diferentes fabricantes (Intel, Xilinx, Cadence, Synopsys). Além do processador em si, o NEORV32 oferece uma **estrutura completa de SoC (System-on-Chip)**, integrando periféricos essenciais como UART, SPI, I<sup>2</sup>C, temporizadores, GPIO e controladores de interrupção, além de um **bootloader embutido** que facilita o carregamento de programas diretamente via interface serial. Sua documentação é clara e abrangente, o que o torna adequado tanto para ambientes de ensino quanto para projetos avançados de pesquisa. Outro diferencial é sua **configurabilidade**, que permite habilitar ou desativar módulos de forma seletiva, ajustando o tamanho lógico e o consumo de energia. Essa característica é essencial para aplicações em ambientes hostis, como o espaço, onde a simplicidade arquitetural aumenta a confiabilidade. Ademais, o código VHDL limpo do NEORV32 facilita a aplicação de **técnicas de endurecimento lógico (RHBD)**, como **TMR (Triple Modular Redundancy)** e **ECC (Error-Correcting Code)**, tornando-o uma plataforma ideal para prototipagem e posterior migração para ASICs tolerantes à radiação.

Núcleo	Linguagem	Bitwidth	Pipeline	Foco	Complexidade
NEORV32	VHDL	32	3-5 estágios	MCU educativo / embarcado	Média
PicoRV32	Verilog	32	1-2	Simplicidade / tamanho mínimo	Baixa
VexRiscv	Verilog (SpinalHDL)	32	Configurável	FPGA / SoC custom	Média-Alta
Ibex	SystemVerilog	32	2	Segurança (OpenTitan)	Média
Rocket	Verilog (Chisel)	64	5	ASIC / pesquisa	Alta
SERV	Verilog	32 (bit-serial)	1	Área mínima / ensino	Muito baixa

Fig 2\_ NEORV-32

A placa **DE10-Nano**, baseada no FPGA **Intel Cyclone V**, é amplamente empregada em pesquisa acadêmica e desenvolvimento experimental de hardware. Ela oferece um equilíbrio entre custo acessível, capacidade de processamento e facilidade de integração com fluxos de projeto digitais. Sua arquitetura híbrida, composta por uma FPGA SRAM-based e um **processador ARM Cortex-A9** no subsistema HPS (Hard Processor System), permite experimentos híbridos de hardware e software. Essa característica é crucial para aplicações espaciais em fase de prototipagem, pois possibilita realizar testes de co-processamento, **injeção de falhas em tempo real**, e monitoramento do comportamento do sistema em situações de erro. O NEORV32 foi integrado à DE10-Nano de forma modular, permitindo validar a funcionalidade do SoC, avaliar o consumo de potência, medir desempenho e testar estratégias de redundância. Mesmo não sendo uma FPGA de grau espacial, a DE10-Nano cumpre um papel essencial como **banco de provas**, antecipando problemas de lógica, temporização e robustez antes da migração para FPGAs rad-hard (como RTG4 ou PolarFire) ou para ASICs produzidos nas tecnologias **TSMC 65 nm** e **X-FAB 180 nm**. Dessa forma, o uso da DE10-Nano proporciona um ambiente seguro, de baixo custo e plenamente reconfigurável para o desenvolvimento iterativo.



Fig 3\_DE10NANO

O desenvolvimento de processadores **RISC-V tolerantes à radiação** representa um marco na evolução da microeletrônica espacial no Brasil. A utilização do NEORV32 sobre a DE10-Nano permite formar uma **base experimental sólida**, conectando a etapa de concepção de hardware com práticas de validação e análise de falhas. Esse processo contribui para criar uma **metodologia nacional de design digital espacial**, integrando universidades, centros de pesquisa e a indústria em torno de um fluxo unificado. O objetivo central deste trabalho é demonstrar a viabilidade técnica e estratégica do uso de um **SoC RISC-V aberto e reconfigurável** como núcleo de processamento para sistemas embarcados espaciais, aplicando **técnicas RHBD** desde o nível RTL até a síntese física. Os resultados esperados, ao longo do percurso do projeto nos anos seguintes incluem o desenvolvimento de um pipeline de projeto reproduzível, a criação de um conjunto de métricas de confiabilidade e o estabelecimento de diretrizes para a migração de protótipos FPGA para **ASICs espaciais nacionais**. Em última instância, o trabalho visa consolidar uma linha de pesquisa e desenvolvimento voltada à **autonomia e soberania tecnológica**, alinhada às metas estratégicas do MCTI e ao fortalecimento do ecossistema aeroespacial brasileiro, projetando o país como um futuro produtor de **SoCs espaciais confiáveis e rad-hard**.

## 2. Objetivos

O principal objetivo deste trabalho é **demonstrar a viabilidade técnica, científica e estratégica da utilização da arquitetura RISC-V, especificamente do núcleo NEORV32, em aplicações aeroespaciais**. A proposta visa comprovar que um **SoC aberto, configurável e desenvolvido em VHDL**, quando implementado sobre a plataforma **DE10-Nano**, pode atingir níveis de confiabilidade e desempenho compatíveis com as exigências de sistemas embarcados espaciais, desde a fase de prototipagem até a migração para tecnologias ASIC.

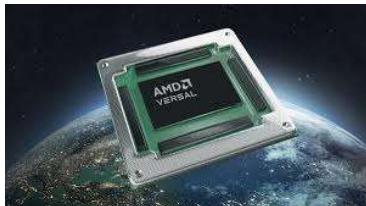


Fig 4\_Chip hard-hard

Fig 5\_ IA aplicada no setor AeroEspacial

Como resultado, o trabalho pretende **demonstrar que o RISC-V pode servir de núcleo base para o desenvolvimento de SoCs aeroespaciais nacionais**, com plena capacidade de customização e integração em missões orbitais de pequeno e médio porte. Além disso, visa fortalecer a **autonomia tecnológica e a capacitação de equipes brasileiras** em microeletrônica avançada, alinhando-se às metas de soberania, inovação e independência estabelecidas pelo MCTI e pelo Programa Nacional de Atividades Espaciais (PNAE).

## 3. Resultados

Os resultados obtidos neste trabalho demonstram a **viabilidade técnica e funcional do núcleo RISC-V NEORV32** implementado na plataforma **DE10-Nano**, comprovando seu potencial para aplicações aeroespaciais em sistemas embarcados críticos. A implementação completa do **System-on-Chip (SoC)** baseado no **NEORV32** foi concluída com êxito na **placa DE10-Nano**, utilizando o ambiente de desenvolvimento **Intel Quartus Prime**. O projeto envolveu a integração do **núcleo de processamento RISC-V** com memória interna, interfaces de comunicação e periféricos essenciais, como **UART, SPI, I<sup>2</sup>C, GPIO e timers**, todos devidamente mapeados e testados no hardware..

A etapa de integração no **FPGA Cyclone V** exigiu um processo criterioso de **ajuste do NEORV32 dentro da hierarquia lógica da FPGA**. Inicialmente, o núcleo foi instanciado como componente central do projeto, conectado a uma **interconexão interna de barramento (bus)** responsável pela comunicação entre a CPU, a memória e os periféricos. Em seguida, foram definidos os **endereços base** de cada módulo e configuradas as **linhas de interrupção e sinais de clock/reset** conforme o layout da DE10-Nano. O **mapa de pinos (QSF)** foi

cuidadosamente elaborado para associar os sinais de entrada e saída do SoC aos **recursos físicos da placa**, como **LEDs, chaves, ADC** e interfaces de comunicação.



Fig 6\_ Amb. de Desenv. FPGA no CTI

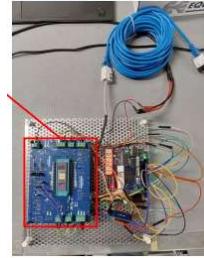


Fig 7\_FPGA em teste

Durante o **processo de síntese e place-and-route**, ajustes finos foram aplicados para otimizar o uso de recursos lógicos, distribuição de clock e tempo de propagação de sinais. A ferramenta **Quartus Timing Analyzer** foi utilizada para garantir fechamento temporal estável em **frequências de até 50 MHz**, confirmando a viabilidade do projeto para operação contínua. Após a compilação, o **download do bitstream** foi realizado por meio do **programador USB-Blaster**, e a **sequência de inicialização do NEORV32** foi executada com sucesso, incluindo o carregamento automático do **bootloader serial** e verificação das rotinas de inicialização do barramento.

Nas etapas de **verificação funcional**, foram explorados os **recursos físicos da placa**, como **LEDs, chaves (switches) e o conversor analógico-digital (ADC)**. Os LEDs atuaram como indicadores de status e operação, permitindo observar visualmente a atividade do processador, o acionamento dos timers e a resposta a interrupções. As chaves serviram como entradas de controle, possibilitando o envio de comandos diretos ao sistema, alternância de modos de operação e seleção de canais de leitura do ADC. O **ADC**, integrado via barramento **SPI**, na base simples de teste, validou o funcionamento do módulo conversor e demonstrando a estabilidade da interface em diferentes condições de leitura e frequência de amostragem.

O **ambiente Quartus Prime** mostrou-se estável e bem configurado, permitindo um fluxo fluido desde a **síntese** até a **programação da FPGA**. O resultado foi um sistema funcional, confiável e de fácil reprogramação, apto a servir como base para experimentos de endurecimento lógico e validação em missões espaciais.



Fig8\_Exposição de trabalho RISC\_V no Seminatec 2025

Ainda no primeiro semestre deste ano fizemos um trabalho envolvendo RISC-V e apresentamos no Seminatec 2025. O trabalho apresentado no **Seminatec 2025** avaliou o uso de **processadores RISC-V**, especialmente o **NEORV32**, em aplicações espaciais sujeitas à radiação. Baseados nos artigos da IEEE foram analisadas técnicas de **tolerância a falhas** como **TMR, ECC** e

**scrubbing**, aplicadas em FPGAs **SRAM-based** e **Flash-based**, visando reduzir efeitos de **Single Event Upset (SEU)** e **Single Event Transient (SET)**. Os resultados mostraram que o uso combinado de **TMR** e **ECC** aumenta significativamente a confiabilidade, com custo moderado em área e desempenho. FPGAs baseadas em Flash apresentaram menor suscetibilidade a falhas de configuração que as SRAM. Também foram discutidos **trade-offs entre consumo, desempenho e robustez**, indicando que abordagens híbridas oferecem melhor equilíbrio. A comparação entre **RISC-V** e **ARM** mostrou menor sensibilidade da arquitetura RISC-V em alguns cenários de radiação. O estudo reforça a **viabilidade do RISC-V** em sistemas embarcados espaciais, desde que aplicadas mitigações adequadas. Conclui-se que o avanço dessas técnicas permite **reduzir custos e ampliar o uso de soluções abertas** em plataformas orbitais.

#### 4. Conclusão

Os resultados apresentados neste trabalho confirmam que a **arquitetura RISC-V**, quando implementada através do **núcleo NEORV32** e validada na plataforma **DE10-Nano**, representa uma solução técnica viável, eficiente e estratégica para aplicações aeroespaciais que demandam **confiabilidade, baixo consumo e flexibilidade de projeto**. A abordagem adotada, baseada em um fluxo de **desenvolvimento aberto, modular e reproduzível**, demonstrou que é possível alcançar níveis significativos de robustez e desempenho utilizando tecnologias acessíveis e ferramentas amplamente disponíveis.

O NEORV32 se mostrou bem adequado aos recursos que temos aqui no departamento da DIPAQ e especialmente adequado para ambientes de desenvolvimento que utilizam **fluxos de projeto FPGA e ASIC**, devido à sua implementação limpa em VHDL e à compatibilidade com ferramentas de síntese como **Cadence Innovus**. A integração ao ambiente da **DE10-Nano** facilitou a prototipagem, a depuração e os testes de injeção de falhas, tornando o processo de validação mais ágil e seguro.

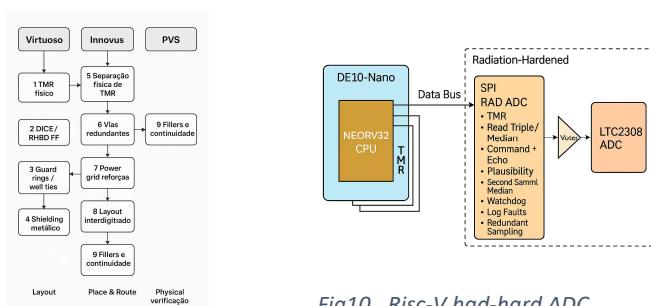


Fig10\_ Risc-V had-hard ADC

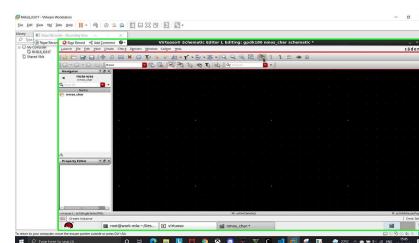


Fig11\_ Cadence Innovus

Fig9\_ Cadence

Do ponto de vista estratégico, o uso do **RISC-V em aplicações espaciais** representa um passo decisivo para a **autonomia tecnológica nacional**, uma vez que permite a criação de processadores auditáveis e totalmente customizáveis, livres de restrições comerciais e de dependência externa. Essa independência tecnológica é fundamental para o fortalecimento de programas institucionais do MCTI, **CTI Renato Archer** e **INPE**, que visam consolidar um

ecossistema nacional de **microeletrônica aeroespacial**. Além disso, a metodologia proposta neste trabalho pode servir como **modelo de capacitação técnica** e formação de recursos humanos em microeletrônica, estimulando a adoção de arquiteturas abertas e técnicas de **tolerância a falhas** no contexto acadêmico e industrial.

Em síntese, o presente estudo demonstra que é possível unir **inovação, eficiência e confiabilidade** dentro de um fluxo de desenvolvimento nacional, utilizando tecnologias abertas e metodologias consolidadas. O **RISC-V NEORV32** surge, portanto, como um **núcleo promissor para a próxima geração de processadores espaciais brasileiros**, contribuindo diretamente para a consolidação da **soberania tecnológica**, o fortalecimento da **pesquisa científica aplicada** e o avanço do setor **aeroespacial do Brasil** no cenário internacional, especialmente sendo um legado e capacitação para o CTI-Campinas mostrar seu Potencial de Pesquisa nesta área e Recursos para tantos outros projetos, e também estrategicamente em Inovação.



Fig12\_ CTI aqui em Campinas\_SP

## Referências

**NEORV32 Project Documentation.** *NEORV32 Open-Source RISC-V Processor System.* Disponível em: <https://github.com/stnolting/neorv32>. Acesso em: out. 2025.

**INTEL CORPORATION.** *DE10-Nano User Manual – Cyclone V SoC Development Kit.* Terasic Technologies, 2023.

**X-FAB SEMICONDUCTOR FOUNDRIES.** *XH018 180nm CMOS Process Design Manual.* Versão 2.4, 2022.

**TSMC – TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY.** *65nm CMOS Technology Platform Design Guide.*, 2023.

**ESA – EUROPEAN SPACE AGENCY.** *Radiation Hardness Assurance for Space Systems. ECSS-Q-ST-60-15C*, 2021.

**RADEF – RADIATION EFFECTS FACILITY.** *Ion and Neutron Beam Testing Capabilities.* University of Jyväskylä, Finland. Disponível em: <https://www.jyu.fi/science/en/physics/research/infrastructures/radef>. Acesso em: out. 2025.

**MCTI – MINISTÉRIO DA CIÊNCIA, TECNOLOGIA E INOVAÇÃO.** *Programa Nacional de Atividades Espaciais (PNAE) 2022–2031.*, Brasília, 2022.

**SANTOS, D. A. et al.** *Neutron Irradiation Testing and Analysis of a Fault-Tolerant RISC-V System-on-Chip.* In: **DFT – IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems**, 2022.

**SANTOS, D. A. et al.** *Hybrid Hardening Approach for a Fault-Tolerant RISC-V System-on-Chip.* **IEEE Transactions on Nuclear Science**, 2024.

**WILSON, A. E.; WIRTHLIN, M.** *Neutron Radiation Testing of Fault-Tolerant RISC-V Soft Processor on Xilinx SRAM-Based FPGAs.* In: **IEEE Space Computing Conference**, 2019.

**WILSON, A. E. et al.** *Neutron Radiation Testing of RISC-V TMR Soft Processors on SRAM-Based FPGAs.* **IEEE Transactions on Nuclear Science**, v. 70, n. 4, 2023.

**OLIVEIRA, A. B. de et al.** *Evaluating Soft-Core RISC-V Processor in SRAM-Based FPGA Under Radiation Effects.* **IEEE Transactions on Nuclear Science**, v. 67, n. 7, p. 1503–1511, 2020.

**BOHMER, K. et al.** *Neutron Radiation Tests of the NEORV32 RISC-V SoC on Flash-Based FPGAs.* In: **DFT – IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems**, 2023.

**ROGENMOSER, M. et al.** *Trikarenos: A Fault-Tolerant RISC-V-Based Microcontroller for CubeSats in 28 nm.* In: **IEEE International Conference on Computer Design (ICCD)**, 2023.

**KOCA, N. A. et al.** *Exploring Error Correction Circuits on RISC-V-Based Systems for Space Applications.* In: **IEEE International Symposium on Circuits and Systems (ISCAS)**, 2024.

**MALONE, S. et al.** *RISC-V Processors for Spaceflight Embedded Platforms.* In: **IEEE Aerospace Conference**, 2023.

**RAO, A. S. et al.** *Improving Reliability of Embedded RISC-V SoC for Low-Cost Space Applications.* In: **International Conference on Networks and Wireless Communications (ICNWC)**, 2023.